

阅读申明

- 1.本站收集的数据手册和产品资料都来自互联网，版权归原作者所有。如读者和版权方有任何异议请及时告之，我们将妥善解决。
- 2.本站提供的中文数据手册是英文数据手册的中文翻译，其目的是协助用户阅读，该译文无法自动跟随原稿更新，同时也可能存在翻译上的不当。建议读者以英文原稿为参考以便获得更精准的信息。
- 3.本站提供的产品资料，来自厂商的技术支持或者使用者的心得体会等，其内容可能存在描述上的差异，建议读者做出适当判断。
- 4.如需与我们联系，请发邮件到marketing@iczoom.com，主题请标有“数据手册”字样。

Read Statement

1. The datasheets and other product information on the site are all from network reference or other public materials, and the copyright belongs to the original author and original published source. If readers and copyright owners have any objections, please contact us and we will deal with it in a timely manner.
2. The Chinese datasheets provided on the website is a Chinese translation of the English datasheets. Its purpose is for reader's learning exchange only and do not involve commercial purposes. The translation cannot be automatically updated with the original manuscript, and there may also be improper translations. Readers are advised to use the English manuscript as a reference for more accurate information.
3. All product information provided on the website refer to solutions from manufacturers' technical support or users the contents may have differences in description, and readers are advised to take the original article as the standard.
4. If you have any questions, please contact us at marketing@iczoom.com and mark the subject with "Datasheets" .

产品特性

双向I²C通信

开漏接口

适合热插拔应用

30 mA吸电流能力

工作频率: 1,000 kHz

电源电压/逻辑电平: 3.0 V至5.5 V

8引脚SOIC封装, 符合RoHS标准

工作温度最高可达: 125°C

通过汽车应用认证

安全和法规认证

UL认证

1分钟2,500 Vrms, 符合UL 1577

CSA元件验收通知#5A

VDE合格证书

DIN V VDE V 0884-10 (VDE V 0884-10):2006-12

$V_{IORM} = 560$ V峰值

应用

I²C、SMBus或PMBus接口隔离

多级I²C接口

电源

网络

以太网供电

混合动力汽车电池管理

概述

ADuM1250/ADuM1251¹均为热插拔数字隔离器, 内置非门锁双向通信通道, 且与I²C接口兼容。这样就不需要将I²C信号分成单独的发送信号与接收信号, 供独立光耦合器使用。

ADuM1250提供两个双向通道, 支持完全隔离的I²C接口。

ADuM1251提供一个双向通道和一个单向通道, 适合不需要双向时钟的应用。

功能框图

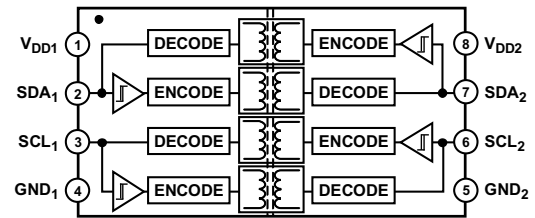


图1. ADuM1250

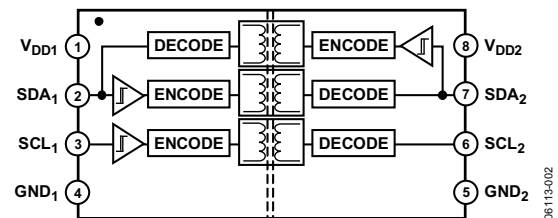


图2. ADuM1251

ADuM1250和ADuM1251均内置热插拔电路, 可防止将无源卡插入有源总线时产生干扰数据。

这些隔离器都采用ADI公司的*iCoupler*[®]芯片级变压器技术。*iCoupler*是磁隔离技术, 其功能、性能、尺寸和功耗均优于光电耦合器。ADuM1250/ADuM1251将*iCoupler*通道与半导体电路集成, 在小型封装中实现完全隔离的I²C接口。

¹ 受美国专利5,952,849号、6,873,065号和7,075,329号保护。

目录

产品特性	1	绝对最大额定值	7
应用	1	ESD警告	7
功能框图	1	引脚配置和功能描述	8
概述	1	测试条件	9
修订历史	2	应用信息	10
技术规格	3	功能描述	10
电气特性	3	启动	10
封装特性	5	典型应用图	11
法规信息	5	磁场抗扰度	11
隔离和安全相关特性	5	外形尺寸	12
DIN V VDE V 0884-10 (VDE V 0884-10)隔离特性	6	订购指南	12
建议工作条件	6	汽车应用级产品	12
修订历史			
2014年3月—修订版F至修订版G		2009年12月—修订版A至修订版B	
移除“典型应用图”部分	11	更改“产品特性”部分	1
增加“低速时的容性负载”部分和表11	11	更改表7中的工作温度(T_A)参数	6
移除“磁场抗扰度”部分	12	更改表8中的工作环境温度(T_A)参数	7
更改“订购指南”	13	更改“订购指南”	12
2012年9月—修订版E至修订版F		2007年6月—修订版0至修订版A	
在“特性”部分创建“安全和法规认证超链接项目”	1	全面更新VDE认证	1
更改“订购指南”	12	更改“产品特性”和注释1	1
 		更改表4和表5	5
2011年12月—修订版D至修订版E		更改表6	6
更改“订购指南”	12	更新“外形尺寸”	12
更改“汽车应用级产品”部分	12	更改“订购指南”	12
2011年7月—修订版C至修订版D		2006年10月—修订版0：初始版	
更改“典型应用图”部分	11		
2010年5月—修订版B至修订版C			
更改“产品特性”部分和“应用”部分	1		
将 $V_{DD1} = 5\text{ V}$ 且 $V_{DD2} = 5\text{ V}$ 更改为 $V_{DD1} = 3.3\text{ V}$ 或 5 V 且 $V_{DD2} = 3.3\text{ V}$ 或 5 V	3		
将 $V_{DD1} = 5\text{ V}$ 且 $V_{DD2} = 5\text{ V}$ 更改为 $V_{DD1} = 3.3\text{ V}$ 或 5 V 且 $V_{DD2} = 3.3\text{ V}$ 或 5 V	4		
更改“典型应用图”部分和图9	11		
更改“订购指南”	12		
增加“汽车应用级产品”部分	12		

技术规格

电气特性

直流规格¹

除非另有说明，所有最小值/最大值规格适用于整个推荐的工作范围。除非另有说明，所有的典型值规格在 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{ V}$ 或 5 V 且 $V_{DD2} = 3.3\text{ V}$ 或 5 V 条件下测得。

表1.

参数	符号	最小值	典型值	最大值	单位	测试条件
ADuM1250						
第1侧输入电源电流(5 V)	I_{DD1}		2.8	5.0	mA	$V_{DD1} = 5\text{ V}$
第2侧输入电源电流(5 V)	I_{DD2}		2.7	5.0	mA	$V_{DD2} = 5\text{ V}$
第1侧输入电源电流(3.3 V)	I_{DD1}		1.9	3.0	mA	$V_{DD1} = 3.3\text{ V}$
第2侧输入电源电流(3.3 V)	I_{DD2}		1.7	3.0	mA	$V_{DD2} = 3.3\text{ V}$
ADuM1251						
第1侧输入电源电流(5 V)	I_{DD1}		2.8	6.0	mA	$V_{DD1} = 5\text{ V}$
第2侧输入电源电流(5 V)	I_{DD2}		2.5	4.7	mA	$V_{DD2} = 5\text{ V}$
第1侧输入电源电流(3.3 V)	I_{DD1}		1.8	3.0	mA	$V_{DD1} = 3.3\text{ V}$
第2侧输入电源电流(3.3 V)	I_{DD2}		1.6	2.8	mA	$V_{DD2} = 3.3\text{ V}$
漏电流	$I_{SDA1}, I_{SDA2},$ I_{SCL1}, I_{SCL2}		0.01	10	μA	$V_{SDA1} = V_{DD1}, V_{SDA2} = V_{DD2},$ $V_{SCL1} = V_{DD1}, V_{SCL2} = V_{DD2}$
第1侧逻辑电平						
逻辑输入阈值 ²	V_{SDA1T}, V_{SCL1T}	500		700	mV	$I_{SDA1} = I_{SCL1} = 3.0\text{ mA}$ $I_{SDA1} = I_{SCL1} = 0.5\text{ mA}$
逻辑低电平输出电压	V_{SDA1OL}, V_{SCL1OL}	600		900	mV	
输入/输出逻辑低电平差值 ³	$\Delta V_{SDA1}, \Delta V_{SCL1}$	600		850	mV	
第2侧逻辑电平						
逻辑低电平输入电压	V_{SDA2IL}, V_{SCL2IL}			$0.3 V_{DD2}$	V	$I_{SDA2} = I_{SCL2} = 30\text{ mA}$
逻辑高电平输入电压	V_{SDA2IH}, V_{SCL2IH}		$0.7 V_{DD2}$		V	
逻辑低电平输出电压	V_{SDA2OL}, V_{SCL2OL}			400	mV	

¹ 所有电压均参照各自的地。

² $V_{IL} < 0.5\text{ V}$ 且 $V_{IH} > 0.7\text{ V}$ 。

³ $\Delta V_{S1} = V_{S1OL} - V_{S1T}$ 。这是特定器件内输出逻辑低电平和输入逻辑阈值之间的最小差值，可确保器件不会造成其所连接的总线出现门锁。

ADuM1250/ADuM1251

交流规格¹

除非另有说明，所有最小值/最大值规格适用于整个推荐的工作范围。除非另有说明，所有的典型值规格在 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{ V}$ 或 5 V 且 $V_{DD2} = 3.3\text{ V}$ 或 5 V 条件下测得。参见图5。

表2.

参数	符号	最小值	典型值	最大值	单位	测试条件
最高频率		1000			kHz	
输出下降时间						
5 V电源						$4.5\text{ V} \leq V_{DD1}, V_{DD2} \leq 5.5\text{ V}, C_{L1} = 40\text{ pF}, R1 = 1.6\text{ k}\Omega, C_{L2} = 400\text{ pF}, R2 = 180\ \Omega$
第1侧输出(0.9 V_{DD1} 至 0.9 V)	t_{f1}	13	26	120	ns	
第2侧输出(0.9 V_{DD2} 至 0.1 V_{DD2})	t_{f2}	32	52	120	ns	
3 V电源						$3.0\text{ V} \leq V_{DD1}, V_{DD2} \leq 3.6\text{ V}, C_{L1} = 40\text{ pF}, R1 = 1.0\text{ k}\Omega, C_{L2} = 400\text{ pF}, R2 = 120\ \Omega$
第1侧输出(0.9 V_{DD1} 至 0.9 V)	t_{f1}	13	32	120	ns	
第2侧输出(0.9 V_{DD2} 至 0.1 V_{DD2})	t_{f2}	32	61	120	ns	
传播延迟						
5 V电源						$4.5 \leq V_{DD1}, V_{DD2} \leq 5.5\text{ V}, C_{L1} = C_{L2} = 0\text{ pF}, R1 = 1.6\text{ k}\Omega, R2 = 180\ \Omega$
第1侧至第2侧上升沿 ²	t_{PLH12}		95	130	ns	
第1侧至第2侧下降沿 ³	t_{PHL12}		162	275	ns	
第2侧至第1侧上升沿 ⁴	t_{PLH21}		31	70	ns	
第2侧至第1侧下降沿 ⁵	t_{PHL21}		85	155	ns	
3 V电源						$3.0\text{ V} \leq V_{DD1}, V_{DD2} \leq 3.6\text{ V}, C_{L1} = C_{L2} = 0\text{ pF}, R1 = 1.0\text{ k}\Omega, R2 = 120\ \Omega$
第1侧至第2侧上升沿 ²	t_{PLH12}		82	125	ns	
第1侧至第2侧下降沿 ³	t_{PHL12}		196	340	ns	
第2侧至第1侧上升沿 ⁴	t_{PLH21}		32	75	ns	
第2侧至第1侧下降沿 ⁵	t_{PHL21}		110	210	ns	
脉冲宽度失真						
5 V电源						$4.5\text{ V} \leq V_{DD1}, V_{DD2} \leq 5.5\text{ V}, C_{L1} = C_{L2} = 0\text{ pF}, R1 = 1.6\text{ k}\Omega, R2 = 180\ \Omega$
第1侧至第2侧 $ t_{PLH12} - t_{PHL12} $	PWD ₁₂		67	145	ns	
第2侧至第1侧 $ t_{PLH21} - t_{PHL21} $	PWD ₂₁		54	85	ns	
3 V电源						$3.0\text{ V} \leq V_{DD1}, V_{DD2} \leq 3.6\text{ V}, C_{L1} = C_{L2} = 0\text{ pF}, R1 = 1.0\text{ k}\Omega, R2 = 120\ \Omega$
第1侧至第2侧 $ t_{PLH12} - t_{PHL12} $	PWD ₁₂		114	215	ns	
第2侧至第1侧 $ t_{PLH21} - t_{PHL21} $	PWD ₂₁		77	135	ns	
共模瞬变抗扰度 ⁶	$ CM_H , CM_L $	25	35		kV/ μs	

¹ 所有电压均参照各自的地。

² t_{PLH12} 传播延迟根据第1侧输入逻辑阈值到 0.7 V_{DD2} 输出值测得。

³ t_{PHL12} 传播延迟根据第1侧输入逻辑阈值到 0.4 V 输出值测得。

⁴ t_{PLH21} 传播延迟根据第2侧输入逻辑阈值到 0.7 V_{DD1} 输出值测得。

⁵ t_{PHL21} 传播延迟根据第2侧输入逻辑阈值到 0.9 V 输出值测得。

⁶ CM_H 是在维持 $V_O > 0.8\text{ V}_{DD2}$ 时能保持的最大共模电压压摆率。 CM_L 是在维持 $V_O < 0.8\text{ V}$ 时能保持的最大共模电压压摆率。共模电压压摆率适用于共模电压的上升沿和下降沿。瞬变幅度是共模压摆的范围。

封装特性

表3.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
电阻(输入至输出) ¹	R _{I-O}		10 ¹²		Ω	
电容(输入至输出) ¹	C _{I-O}		1.0		pF	f = 1 MHz
输入电容	C _I		4.0		pF	
IC结至外壳热阻, 第1侧	θ _{JCI}		46		°C/W	热电偶位于封装底部正中间
IC结至外壳热阻, 第2侧	θ _{JCO}		41		°C/W	

¹ 假设器件为双端器件; 引脚1至引脚4短接, 引脚5至引脚8短接。

法规信息

ADuM1250/ADuM1251已获得表4所列机构的认可。

表4.

UL	CSA	VDE
1577器件认可程序认可1	CSA元件验收通知#5A批准	DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12认证2
单一/基本2500 V rms隔离电压	加强绝缘符合CSA 60950-1-03和IEC 60950-1 标准, 125 V rms(177 V峰值) 最大工作电压 基本绝缘符合CSA 60950-1-03和IEC 60950-1 标准, 400 V rms(566 V峰值) 最大工作电压	加强绝缘, 560 V峰值
文件E214100	文件205078	文件2471900-4880-0001

¹ 依据UL1577, 每个ADuM1250/ADuM1251器件都经过1秒钟绝缘测试电压≥ 3,000 V rms的验证测试(漏电流检测限值为5 μA)。

² 依据DIN V VDE V 0884-10, 每个ADuM125x器件都经过1秒钟绝缘测试电压≥1050 V峰值的验证测试(局部放电检测限值为5 pC)。器件标识中的星号(*)表示通过DIN V VDE V 0884-10认证。

隔离和安全相关特性

表5.

参数	符号	值	单位	测试条件/注释
额定电介质隔离电压		2500	V rms	持续1分钟
最小外部气隙(间隙)	L(I01)	4.90 min	mm	测量输入端至输出端, 空气最短距离
最小外部爬电距离	L(I02)	4.01 min	mm	测量输入端至输出端, 沿壳体最短距离
最小内部间隙		0.017 min	mm	隔离距离
漏电阻抗(相对漏电指数)	CTI	>175	V	DIN IEC 112/VDE 0303第1部分
隔离组		IIIa		材料组(DIN VDE 0110, 1/89, 表1)
最大工作电压下具有50年使用寿命	V _{IORM}	565	V peak	隔离栅两端持续的峰值电压

ADuM1250/ADuM1251

DIN V VDE V 0884-10 (VDE V 0884-10)隔离特性

此隔离器适合安全限制数据范围内的增强隔离。通过保护电路保持安全数据。封装上的星号(*)标志表示通过560 V峰值工作电压的DIN V VDE V 0884-10认证。

表6.

描述	测试条件/注释	符号	特性	单位
DIN VDE 0110装置分类			I至IV	
额定电源电压 ≤ 150 V rms			I至III	
额定电源电压 ≤ 300 V rms			I至II	
额定电源电压 ≤ 400 V rms			40/105/21	
环境分类			2	
污染度(DIN VDE 0110, 表1)				
最大工作绝缘电压		V_{IORM}	560	V峰值
输入至输出测试电压, 方法B1	$V_{IORM} \times 1.875 = V_{PR}$, 100%生产测试, $t_m = 1$ 秒, 局部放电 < 5 pC	V_{PR}	1050	V峰值
输入至输出测试电压, 方法A	$V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ 秒, 局部放电 < 5 pC	V_{PR}	896	V峰值
跟随环境测试, 子类1			672	V峰值
跟随输入和/或安全测试, 子类2和子类3	$V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ 秒, 局部放电 < 5 pC			
最高允许过压	瞬变过压, $t_{TR} = 10$ 秒	V_{TR}	4000	V峰值
安全限值	出现故障时允许的最大值(见图3)			
壳温		T_S	150	°C
$V_{DD1} + V_{DD2}$ 电流		I_{TMAX}	212	mA
在 T_S 的绝缘电阻	$V_{IO} = 500$ V	R_S	>10 ⁹	Ω

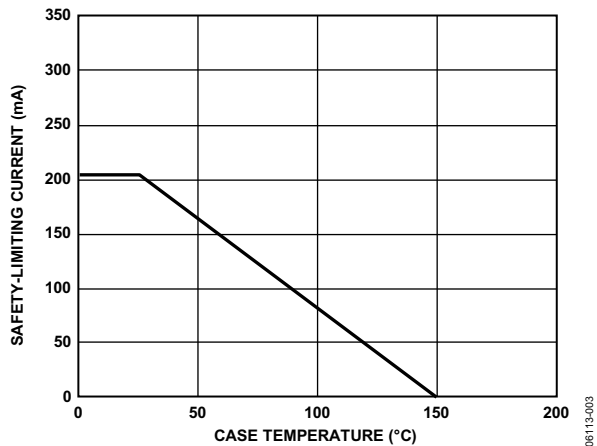


图3. 热减额曲线，依据DIN V VDE V 0884-10 获得的安全限值与壳温的关系

建议工作条件

表7.

参数	额定值
工作温度(T_A)	
A级	-40°C至+105°C
S级	-40°C至+125°C
电源电压(V_{DD1} 、 V_{DD2}) ¹	3.0 V至5.5 V
输入/输出信号电压 ($V_{SDA1'}$ 、 $V_{SCL1'}$ 、 $V_{SDA2'}$ 、 $V_{SCL2'}$)	5.5 V
容性负载	
第1侧(C_{L1})	40 pF
第2侧(C_{L2})	400 pF
静态输出负载	
第1侧($I_{SDA1'}$ 、 $I_{SCL1'}$)	0.5 mA至3 mA
第2侧($I_{SDA2'}$ 、 $I_{SCL2'}$)	0.5 mA至30 mA

¹ 所有电压均参照各自的地。有关外部磁场抗扰度的信息，参见“磁场抗扰度”部分。

绝对最大额定值

除非另有说明，环境温度 = 25°C。

表8.

参数	额定值
存储温度(T_{ST})	-55°C至+150°C
工作环境温度(T_A)	
A级	-40°C至+105°C
S级	-40°C至+125°C
电源电压(V_{DD1}, V_{DD2}) ¹	-0.5 V至+7.0 V
输入/输出电压	
第1侧(V_{SDA1}, V_{SCL1}) ¹	-0.5 V至 $V_{DD1} + 0.5 V$
第2侧(V_{SDA2}, V_{SCL2}) ¹	-0.5 V至 $V_{DD2} + 0.5 V$
每个引脚的平均输出电流 ²	
第1侧(I_{O1})	±18 mA
第2侧(I_{O2})	±100 mA
共模瞬变 ³	-100 kV/μs至+100 kV/μs

¹ 所有电压均参照各自的地。

² 不同温度下的最大额定电流值参见图3。

³ 指隔离栅上的共模瞬变。超过绝对最大额定值的共模瞬变可能导致闩锁或永久损坏。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADuM1250/ADuM1251

引脚配置和功能描述

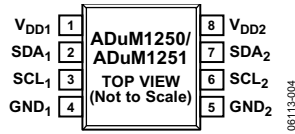


图4. ADuM1250/ADuM1251引脚配置

表9. ADuM1250引脚功能描述

引脚编号	引脚名称	描述
1	V _{DD1}	电源电压(3.0 V至5.5 V)。
2	SDA ₁	数据输入/输出(第1侧)。
3	SCL ₁	时钟输入/输出(第1侧)。
4	GND ₁	地1。隔离器第1侧的接地基准点。
5	GND ₂	地2。隔离器第2侧的隔离接地基准点。
6	SCL ₂	时钟输入/输出(第2侧)。
7	SDA ₂	数据输入/输出(第2侧)。
8	V _{DD2}	电源电压(3.0 V至5.5 V)。

表10. ADuM1251引脚功能描述

引脚编号	引脚名称	描述
1	V _{DD1}	电源电压(3.0 V至5.5 V)。
2	SDA ₁	数据输入/输出(第1侧)。
3	SCL ₁	时钟输入(第1侧)。
4	GND ₁	地1。隔离器第1侧的接地基准点。
5	GND ₂	地2。隔离器第2侧的隔离接地基准点。
6	SCL ₂	时钟输出(第2侧)。
7	SDA ₂	数据输入/输出(第2侧)。
8	V _{DD2}	电源电压(3.0 V至5.5 V)。

测试条件

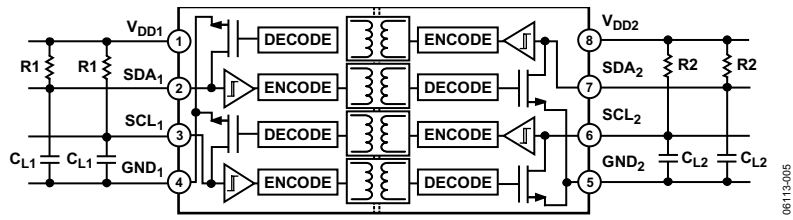


图5. 时序测试图

ADuM1250/ADuM1251

应用信息

功能描述

ADuM1250/ADuM1251在每一侧上都与双向I²C信号接口。在内部，I²C接口拆分成以相反方向通过各自专用iCoupler隔离通道通信的两个单向通道。其中一个通道(图6所示各通道对的下方通道)检测第1侧I²C引脚的电压状态，并将其状态传送至相应的第2侧I²C引脚。

第1侧和第2侧I²C引脚设计用来与采用3.0 V至5.5 V工作电压范围的I²C总线接口。任一引脚上的逻辑低电平平均会导致相对引脚被拉低，足以满足总线上其它I²C设备的逻辑低电平阈值要求。通过保证SDA1或SCL1处的输入低电平阈值至少比相同引脚处输出低电平信号小50 mV，避免出现I²C总线竞争。这样可防止第1侧的输出逻辑低电平被传回第2侧并拉低I²C总线。

由于第2侧逻辑电平/阈值是标准I²C值，因此通过第2侧引脚连接到总线的多个ADuM1250/ADuM1251器件可以彼此通信以及与兼容I²C的其它器件通信。I²C兼容性和I²C顺应性之间存在区别。I²C兼容性是指器件的逻辑电平不一定满足I²C规格要求但仍允许该器件与I²C兼容型器件通信的情况。I²C顺应性是指器件的逻辑电平满足I²C规格要求的情况。

不过，由于第1侧引脚具有经过修改的输出电平/输入阈值，因此ADuM1250/ADuM1251的该侧只能与符合I²C标准的器件通信。也就是说，ADuM1250/ADuM1251的第2侧符合I²C标准，第1侧仅兼容I²C。

输出逻辑低电平与V_{DD1}和V_{DD2}电压无关。第1侧的输入逻辑低电平阈值也与V_{DD1}无关。不过，第2侧的输入逻辑低电平阈值则设计为0.3 V_{DD2}，与I²C要求保持一致。第1侧和第2侧引脚具有开集输出，其高电平通过上拉电阻设为相应的电源电压。

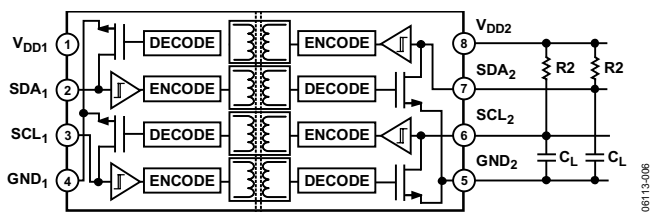


图6. ADuM1250框图

启动

V_{DD1}和V_{DD2}电源均具有欠压闭锁功能，以确保信号通道仅在满足特定条件下才工作。这样可以避免上电/关断期间输入逻辑低电平信号意外拉低I²C总线。

使能信号通道时必须满足下列两个条件：

- 两个电源都必须至少为2.5 V。
- 两个电源超过内部启动阈值2.0 V后必须过去至少40 μs。

在两个电源达到上述两个条件之前，ADuM1250/ADuM1251输出会被拉高，确保启动期间总线不会出现任何干扰。图7和图8显示了快速和低输入电源电压摆率的电源条件。

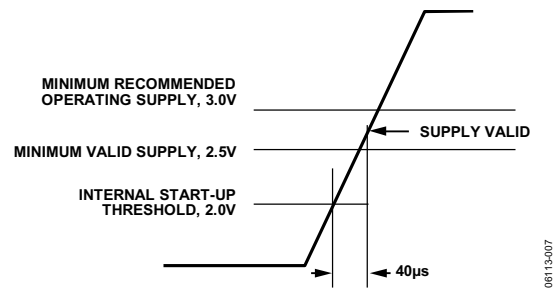


图7. 启动条件(电源电压摆率 > 12.5 V/ms)

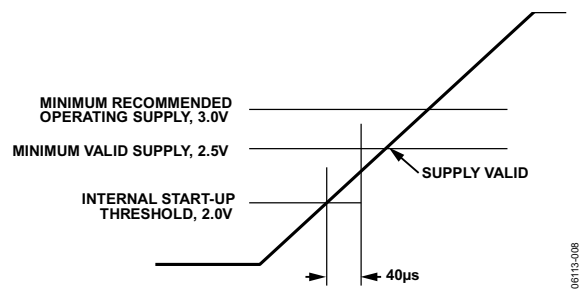


图8. 启动条件(电源电压摆率 < 12.5 V/ms)

典型应用图

图9所示为典型应用电路，其中包括第1侧和第2侧总线所需的上拉电阻。 V_{DD1} 和 GND_1 之间以及 V_{DD2} 和 GND_2 之间均需要数值介于 $0.01\ \mu\text{F}$ 和 $0.1\ \mu\text{F}$ 之间的旁路电容。如果环境温度介于 105°C 和 125°C 之间，则需要使用图9所示的 $200\ \Omega$ 电阻来提供防门锁功能。

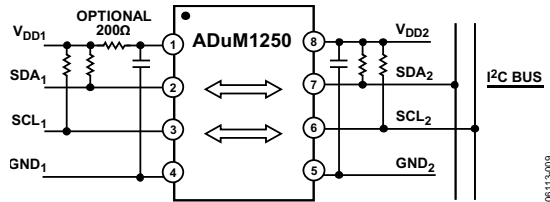


图9. 采用ADuM1250的典型隔离I²C接口

低速时的容性负载

ADuM1250/ADuM1251的最高工作速率为1 Mbps。由于第1侧的电流有限，工作在1 Mbps下会将最小上拉电阻能够驱动的电容器限制为40 pF。

大多数应用在标准模式下的工作速率为100 kbps，快速模式下为400 kbps。在这些较低的工作速率下，可大幅放宽负载电容的限制。表11显示标准模式和快速模式下，最小上拉电阻时的最大电容值。若上拉电阻使用了较大的数值，则支持的最大电容必须按比例降低，从而上升时间不会增大超过标准所需值。

表11 第1侧最大负载条件

第1侧的最大容性负载						
模式	VDD1	数据速率	$t_r(\text{ns})$	$t_f(\text{ns})$	$R_1(\ \Omega)$	$C_{L1}(\ \text{pF})$
标准	5	100	1000	187	1600	484
快速	5	400	300	172	1600	120
标准	3.3	100	1000	270	1000	771
快速	3.3	400	300	235	1000	188

ADuM1250/ADuM1251

磁场抗扰度

ADuM1250/ADuM1251具有极强的抗扰性能，不易受外部磁场的影响。ADuM1250/ADuM1251磁场抗扰度的限制是由变压器接收线圈中感应电压的状态决定的，电压足够大就会错误地置位或复位解码器。下面的分析说明此情况发生的条件。检测ADuM1250/ADuM1251的3 V工作条件是因为这是最易受干扰的工作模式。

变压器输出端的脉冲幅度大于1.0 V。解码器的检测阈值大约是0.5 V,因此有一个0.5 V的噪声容限。接收线圈上的感应电压由以下公式计算：

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

其中：

β 是磁通密度(高斯)。

N 是接收线圈匝数(cm)。

r_n 是接收线圈第 n 圈的半径。

给定ADuM1250/ADuM1251接收线圈几何形状及感应电压，解码器最多能够有0.5 V余量的50%，允许的最大磁场见图10所示计算。

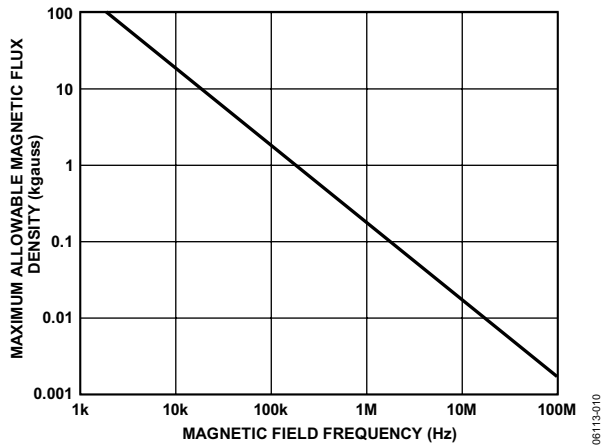


图10. 最大允许外部磁通密度

例如，在1 MHz的磁场频率下，最大允许0.2 K高斯的磁场在接收线圈可以感应出0.25 V的电压。该电压大约是检测阈值的50%并且不会引起输出转换错误。同样，如果这样的情况在发送脉冲时发生(最差的极性)，这会使接收到的脉冲从大于1.0 V下降到0.75 V，这仍然高于解码器检测阈值0.5 V。

先前的磁通密度值对应于与ADuM1250/ADuM1251变压器给定距离的额定电流幅度。图11表明这些允许的电流幅度是频率与所选距离的函数。如图11所示，ADuM125x具有极强的抗干扰性能，仅在离器件很近的高频、大电流条件下才会受影响。以频率为1 MHz的应用为例，0.5 kA电流必须在距离ADuM1250/ADuM1251 5mm以外的時候才不会影响器件工作。

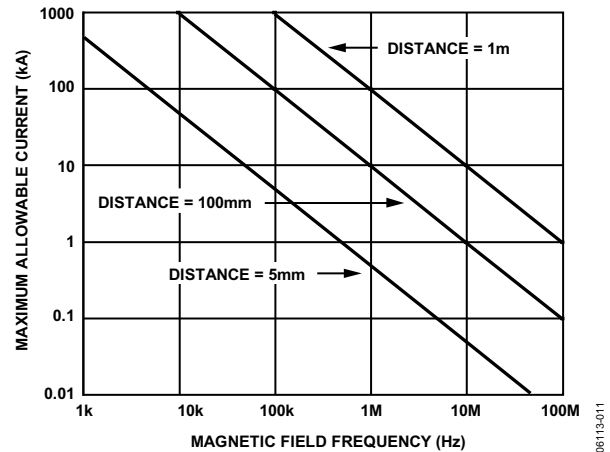
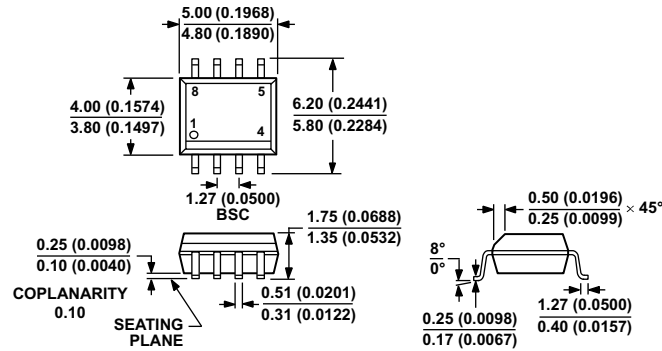


图11. 不同电流至ADuM1250/ADuM1251距离下的最大允许电流

请注意，在强磁场和高频率的叠加作用下，PCB走线形成的任何回路都会感应出足够大的错误电压，进而触发后续电路的阈值。在布局的时候需要格外小心，以避免发生这种情况。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012A07-A

图12. 8引脚标准小型封装[SOIC_N]

窄体

(R-8)

尺寸单位: mm和(inch)

订购指南

型号 ^{1,2}	输入数, V _{DD1} 侧	输入数, V _{DD2} 侧	最大数据 速率(Mbps)	最大传播 延迟(ns)	温度范围	封装描述	封装选项
ADuM1250ARZ	2	2	1	150	-40°C至+105°C	8引脚 SOIC_N	R-8
ADuM1250ARZ-RL7	2	2	1	150	-40°C至+105°C	8引脚 SOIC_N	R-8
ADuM1250SRZ	2	2	1	150	-40°C至+125°C	8引脚 SOIC_N	R-8
ADuM1250SRZ-RL7	2	2	1	150	-40°C至+125°C	8引脚 SOIC_N	R-8
ADuM1250WSRZ	2	2	1	150	-40°C至+125°C	8引脚 SOIC_N	R-8
ADuM1250WSRZ-RL7	2	2	1	150	-40°C至+125°C	8引脚 SOIC_N	R-8
ADuM1251ARZ	2	1	1	150	-40°C至+105°C	8引脚 SOIC_N	R-8
ADuM1251ARZ-RL7	2	1	1	150	-40°C至+105°C	8引脚 SOIC_N	R-8
ADuM1251WARZ	2	1	1	150	-40°C至+125°C	8引脚 SOIC_N	R-8
ADuM1251WARZ-RL7	2	1	1	150	-40°C至+125°C	8引脚 SOIC_N	R-8

¹ Z = RoHS兼容器件。² W = 通过汽车应用认证。

汽车应用级产品

ADuM1250W和ADuM1251W生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

注释

注释

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。