阅读申明

1.本站收集的数据手册和产品资料都来自互联网，版权归原作者所有。如读者和版权方有任何异议请及时告之，我们将妥善解决。
2.本站提供的中文数据手册是英文数据手册的中文翻译，其目的是协助用户阅读，该译文无法自动跟随原稿更新，同时也可能存在翻译上的不当。建议读者以英文原稿为参考以便获得更精准的信息。
3.本站提供的产品资料，来自厂商的技术支持或者使用者的心得体会等，其内容可能存在描叙上的差异，建议读者做出适当判断。
4.如需与我们联系，请发邮件到marketing@iczoom.com，主题请标有“数据手册”字样。

Read Statement

1. The datasheets and other product information on the site are all from network reference or other public materials, and the copyright belongs to the original author and original published source. If readers and copyright owners have any objections, please contact us and we will deal with it in a timely manner.

2. The Chinese datasheets provided on the website is a Chinese translation of the English datasheets. Its purpose is for reader’s learning exchange only and do not involve commercial purposes. The translation cannot be automatically updated with the original manuscript, and there may also be improper translations. Readers are advised to use the English manuscript as a reference for more accurate information.

3. All product information provided on the website refer to solutions from manufacturers’ technical support or users the contents may have differences in description, and readers are advised to take the original article as the standard.

4. If you have any questions, please contact us at marketing@iczoom.com and mark the subject with “Datasheets”.

Downloaded from www.iczoom.com

AK4125

192kHz / 24Bit High Performance Asynchronous SRC

概　　要

AK4125はステレオのディジタルサンプルレートコンバータ(SRC)です。入力された8kHz ~ 216kHzの範囲にあるサンプルレートのオーディオソースを8kHz ~ 216kHzのサンプルレートに変換して出力します。また、PLLを内蔵しており、スレーブ動作時はマスタクロックを必要としませんので、非常にシンプルな構成がとれます。スタジオ機器やハイエンドのカーオーディオ/DVDレコーダ等、異なるサンプルレートを持つデータラインとの接続用途に最適です。

特　　長

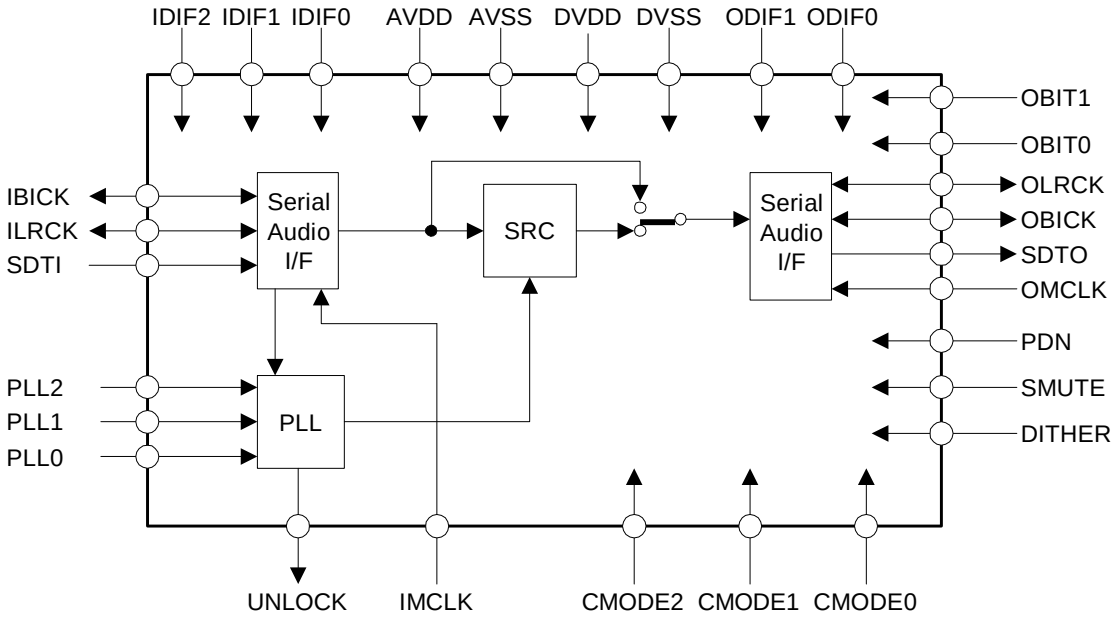
1. SRC
- **Asynchronous Sample Rate Converter**
- **Input Sample Rate Range (fsi): 8kHz ~ 216kHz**
- **Output Sample Rate Range (fso): 8kHz ~ 216kHz**
- **Input to Output Sample Rate Ratio: 1/6 to 6**
- **THD+N: −130dB**
- **Dynamic Range: 140dB (A-weighted)**
- **I/F format: MSB justified, LSB justified and I^2S compatible**
- **PLL for Internal Operation Clock**
- **Clock for Master mode: 128/192/256/384/512/768fsi, 128/192/256/384/512/768fso**
- **SRC Bypass mode**
- **Soft Mute Function**

2. Power Supply
- **AVDD, DVDD: 3.0 ~ 3.6V (typ. 3.3V)**

3. Ta = −40 ~ 85°C

4. Package: 30pin VSOP

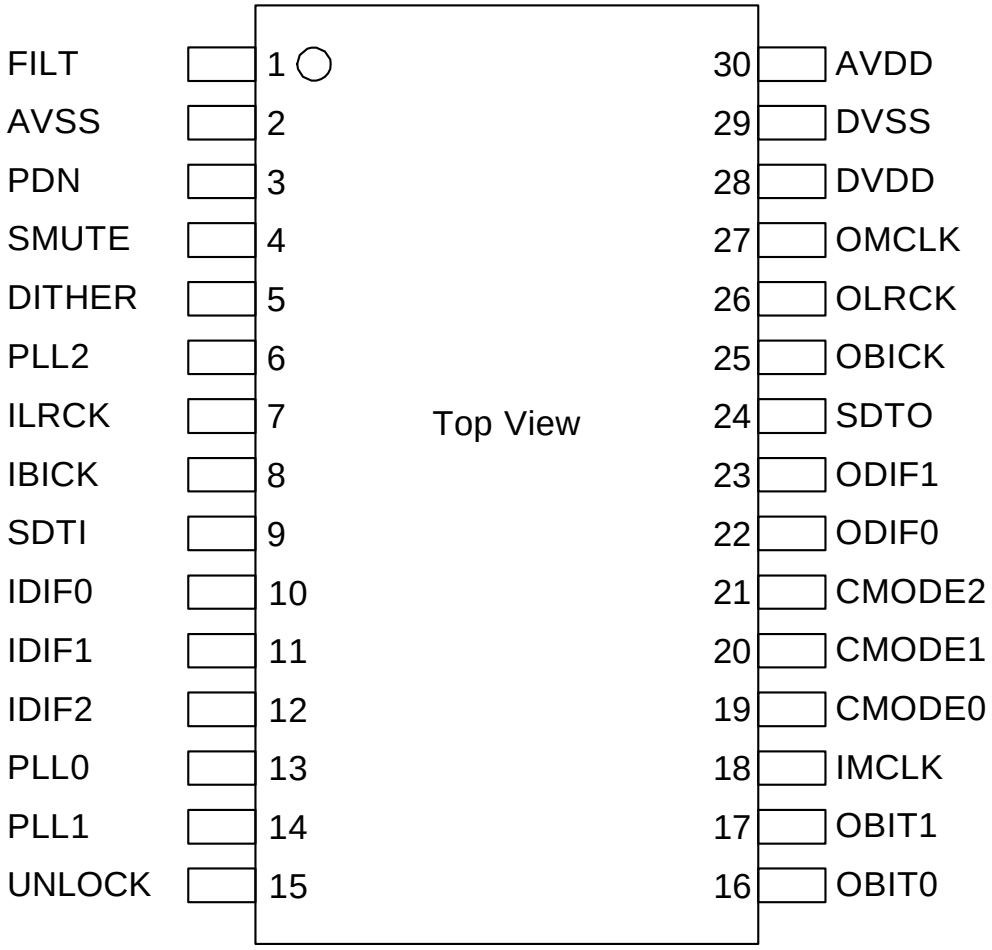
5. AK4124 Pin-compatible



,, オーダリングガイド

AK4125VF	−40 ~ +85°C	30pin VSOP (0.65mm pitch)
AKD4125	AK4125評価用ボード	

,, ピン配置



,, AK4124との互換性

		AK4124	AK4125
Digital Filter Passband	0.985 ≦ FSO/FSI ≦ 6.000	0.4583FSI	←
	0.905 ≦ FSO/FSI < 0.985	0.4167FSI	←
	0.714 ≦ FSO/FSI < 0.905	0.3195FSI	←
	0.656 ≦ FSO/FSI < 0.714	0.2852FSI	←
	0.536 ≦ FSO/FSI < 0.656	0.2182FSI	←
	0.492 ≦ FSO/FSI < 0.536	0.1982FSI	0.2177FSI
	0.452 ≦ FSO/FSI < 0.492	0.1740FSI	0.1948FSI
	0.357 ≦ FSO/FSI < 0.452	0.1212FSI	0.1458FSI
	0.324 ≦ FSO/FSI < 0.357	0.1072FSI	0.1302FSI
	0.246 ≦ FSO/FSI < 0.324	0.0595FSI	0.0917FSI
	0.226 ≦ FSO/FSI < 0.246	0.0484FSI	0.0826FSI
	0.1667 ≦ FSO/FSI < 0.226	0.0182FSI	0.0583FSI

詳細は「フィルタ特性」の項を参照して下さい。

ピン／機能

No.	Pin Name	I/O	Function
1	FILT	O	PLL Loop Filter Pin
2	AVSS	-	Analog Ground Pin
3	PDN	I	Power-Down Mode Pin “H”: Power up, “L”: Power down reset and initializes the control register.
4	SMUTE	I	Soft Mute Pin “H”: Soft Mute, “L”: Normal Operation
5	DITHER	I	Dither Enable Pin “H”: Dither ON, “L”: Dither OFF
6	PLL2	I	PLL Mode Select 2 Pin
7	ILRCK	I/O	Input Channel Clock Pin
8	IBICK	I/O	Audio Serial Data Clock Pin
9	SDTI	I	Audio Serial Data Input Pin
10	IDIF0	I	Audio Interface Format 0 Pin for Input PORT
11	IDIF1	I	Audio Interface Format 1 Pin for Input PORT
12	IDIF2	I	Audio Interface Format 2 Pin for Input PORT
13	PLL0	I	PLL Mode Select 0 Pin
14	PLL1	I	PLL Mode Select 1 Pin
15	UNLOCK	O	Unlock Status Pin
16	OBIT0	I	Bit Length Select 0 Pin for Output Data
17	OBIT1	I	Bit Length Select 1 Pin for Output Data
18	IMCLK	I	Master Clock Input Pin for Input PORT
19	CMODE0	I	Clock Mode Select 0 Pin
20	CMODE1	I	Clock Mode Select 1 Pin
21	CMODE2	I	Clock Mode Select 2 Pin
22	ODIF0	I	Audio Interface Format 0 Pin for Output PORT
23	ODIF1	I	Audio Interface Format 1 Pin for Output PORT
24	SDTO	O	Audio Serial Data Output Pin for Output PORT
25	OBICK	I/O	Audio Serial Data Clock Pin for Output PORT
26	OLRCK	I/O	Output Channel Clock Pin for Output PORT
27	OMCLK	I	Master Clock Input Pin for Output PORT
28	DVDD	-	Digital Power Supply Pin, 3.0 ~ 3.6V
29	DVSS	-	Digital Ground Pin
30	AVDD	-	Analog Power Supply Pin, 3.0 ~ 3.6V

Note: All input pins should not be left floating.

,, 使用しないピンの処理について

使用しないディジタル入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog	FILT	オープン
Digital	SMUTE, DITHER	DVSSに接続
	IMCLK, OMCLK	DVSSに接続@スレーブモード
	UNLOCK	オープン

絶対最大定格

(AVSS, DVSS=0V; Note 1)

Parameter		Symbol	min	max	Units
Power Supplies:	Analog	AVDD	−0.3	4.6	V
	Digital	DVDD	−0.3	4.6	V
	|AVSS − DVSS| (Note 2)	ΔGND	-	0.3	V
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Digital Input Voltage		VIND	−0.3	DVDD+0.3	V
Ambient Temperature (Power applied)		Ta	−40	85	°C
Storage Temperature		Tstg	−65	150	°C

Note 1. 電圧は全てグランドピンに対する値です。
Note 2. AVSS, DVSSは同じアナロググランドに接続して下さい。

注意 : この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(AVSS, DVSS=0V; Note 1)

Parameter		Symbol	min	typ	max	Units
Power Supplies	Analog	AVDD	3.0	3.3	3.6	V
(Note 3)	Digital	DVDD	3.0	3.3	AVDD	V

Note 1. 電圧は全てグランドピンに対する値です。
Note 3. AVDDとDVDDの電源立ち上げシーケンスを考慮する必要はありません。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので
十分ご注意下さい。

SRC特性

(Ta=25°C; AVDD=DVDD=3.3V; AVSS=DVSS=0V; Signal Frequency=1kHz; data=24bit; measurement bandwidth=20Hz~FSO/2; unless otherwise specified.)

Parameter	Symbol	min	typ	max	Units
SRC Characteristics:					
Resolution				24	Bits
Input Sample Rate	FSI	8		216	kHz
Output Sample Rate	FSO	8		216	kHz
THD+N (Input = 1kHz, 0dBFS, Note 4)					
FSO/FSI = 44.1kHz/48kHz		-	−130	-	dB
FSO/FSI = 48kHz/44.1kHz		-	−124	-	dB
FSO/FSI = 48kHz/192kHz		-	−133	-	dB
FSO/FSI = 192kHz/48kHz		-	−124	-	dB
Worst Case (FSO/FSI = 32kHz/176.4kHz)		-	-	−91	dB
Dynamic Range (Input = 1kHz, −60dBFS, Note 4)					
FSO/FSI = 44.1kHz/48kHz		-	136	-	dB
FSO/FSI = 48kHz/44.1kHz		-	136	-	dB
FSO/FSI = 48kHz/192kHz		-	136	-	dB
FSO/FSI = 192kHz/48kHz		-	132	-	dB
Worst Case (FSO/FSI = 48kHz/32kHz)		132	-	-	dB
Dynamic Range (Input = 1kHz, −60dBFS, A-weighted, Note 4)					
FSO/FSI = 44.1kHz/48kHz		-	140	-	dB
Ratio between Input and Output Sample Rate	FSO/FSI	1/6		6	-

Note 4. Audio Precision System Two Cascade使用。

フィルタ特性

(Ta=25°C; AVDD, DVDD=3.0 ~ 3.6V)

Parameter		Symbol	min	typ	max	Units
Digital Filter						
Passband −0.01dB	0.985 ≦ FSO/FSI ≦ 6.000	PB	0		0.4583FSI	kHz
	0.905 ≦ FSO/FSI < 0.985	PB	0		0.4167FSI	kHz
	0.714 ≦ FSO/FSI < 0.905	PB	0		0.3195FSI	kHz
	0.656 ≦ FSO/FSI < 0.714	PB	0		0.2852FSI	kHz
	0.536 ≦ FSO/FSI < 0.656	PB	0		0.2182FSI	kHz
	0.492 ≦ FSO/FSI < 0.536	PB	0		0.2177FSI	kHz
	0.452 ≦ FSO/FSI < 0.492	PB	0		0.1948FSI	kHz
	0.357 ≦ FSO/FSI < 0.452	PB	0		0.1458FSI	kHz
	0.324 ≦ FSO/FSI < 0.357	PB	0		0.1302FSI	kHz
	0.246 ≦ FSO/FSI < 0.324	PB	0		0.0917FSI	kHz
	0.226 ≦ FSO/FSI < 0.246	PB	0		0.0826FSI	kHz
	0.1667 ≦ FSO/FSI < 0.226	PB	0		0.0583FSI	kHz
Stopband	0.985 ≦ FSO/FSI ≦ 6.000	SB	0.5417FSI			kHz
	0.905 ≦ FSO/FSI < 0.985	SB	0.5021FSI			kHz
	0.714 ≦ FSO/FSI < 0.905	SB	0.3965FSI			kHz
	0.656 ≦ FSO/FSI < 0.714	SB	0.3643FSI			kHz
	0.536 ≦ FSO/FSI < 0.656	SB	0.2974FSI			kHz
	0.492 ≦ FSO/FSI < 0.536	SB	0.2813FSI			kHz
	0.452 ≦ FSO/FSI < 0.492	SB	0.2604FSI			kHz
	0.357 ≦ FSO/FSI < 0.452	SB	0.2116FSI			kHz
	0.324 ≦ FSO/FSI < 0.357	SB	0.1969FSI			kHz
	0.246 ≦ FSO/FSI < 0.324	SB	0.1573FSI			kHz
	0.226 ≦ FSO/FSI < 0.246	SB	0.1471FSI			kHz
	0.1667 ≦ FSO/FSI < 0.226	SB	0.1020FSI			kHz
Passband Ripple		PR			±0.01	dB
Stopband Attenuation	0.985 ≦ FSO/FSI ≦ 6.000	SA	121.2			dB
	0.905 ≦ FSO/FSI < 0.985	SA	121.4			dB
	0.714 ≦ FSO/FSI < 0.905	SA	115.3			dB
	0.656 ≦ FSO/FSI < 0.714	SA	116.9			dB
	0.536 ≦ FSO/FSI < 0.656	SA	114.6			dB
	0.492 ≦ FSO/FSI < 0.536	SA	100.2			dB
	0.452 ≦ FSO/FSI < 0.492	SA	103.3			dB
	0.357 ≦ FSO/FSI < 0.452	SA	102.0			dB
	0.324 ≦ FSO/FSI < 0.357	SA	103.6			dB
	0.246 ≦ FSO/FSI < 0.324	SA	104.0			dB
	0.226 ≦ FSO/FSI < 0.246	SA	103.3			dB
	0.1667 ≦ FSO/FSI < 0.226	SA	73.2			dB
Group Delay	(Note 5)	GD	-	56	-	1/fs

Note 5. 入力と出力の位相ずれがない時の、L, Rのデータが入力された後のLRCKの立ち上がりから、
L, Rデータを出力する前のLRCKの立ち上がりまでの期間です。

DC特性

(Ta=25°C; AVDD, DVDD=3.0 ~ 3.6V)

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage	VIH	70%DVDD	-	-	V
Low-Level Input Voltage	VIL	-	-	30%DVDD	V
High-Level Output Voltage (Iout=−400μA)	VOH	DVDD−0.4	-	-	V
Low-Level Output Voltage (Iout=400μA)	VOL	-	-	0.4	V
Input Leakage Current	Iin	-	-	±10	μA
Power Supplies					
Power Supply Current					
Normal operation (PDN pin = “H”)					
FSI=FSO=48kHz at Slave Mode: AVDD=DVDD=3.3V			13		mA
FSI=FSO=192kHz at Master Mode: AVDD=DVDD=3.3V			55		mA
: AVDD=DVDD=3.6V				85	mA
Power down (PDN pin = “L”) (Note 6)					
AVDD+DVDD			10	100	μA

Note 6. 全てのディジタル入力ピンをDVSSに固定した時の値です。

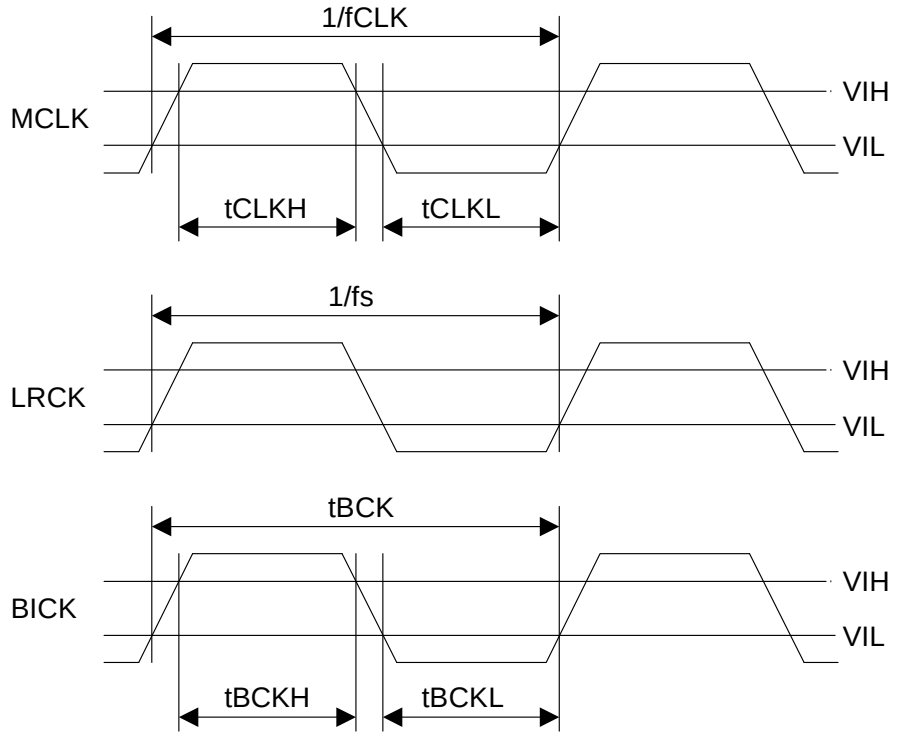
スイッチング特性

(Ta=25°C; AVDD, DVDD=3.0 ~ 3.6V; C_L=20pF)

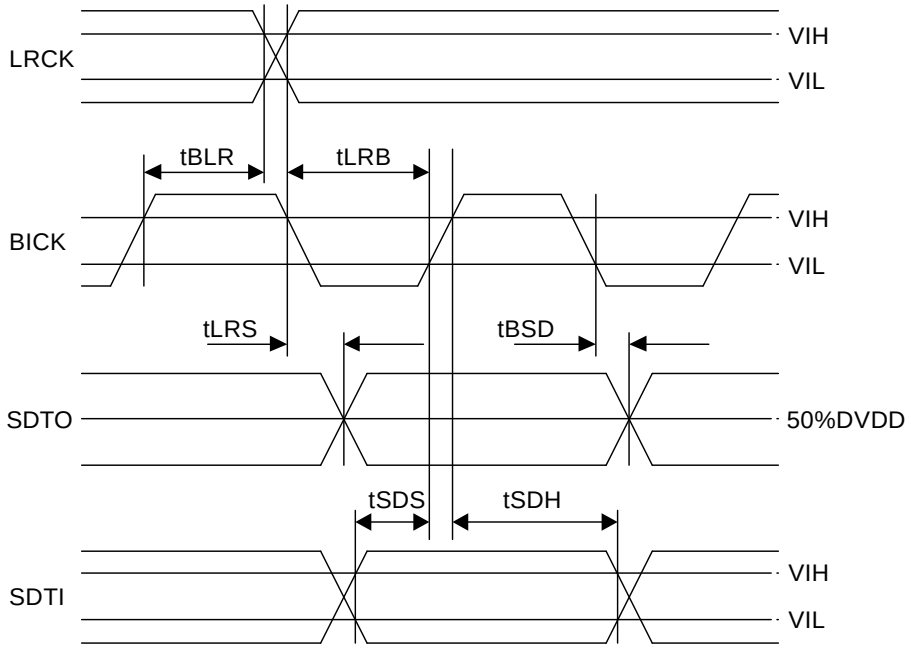
Parameter	Symbol	min	typ	max	Units
Master Clock Timing					
Frequency	fCLK	1.024		41.472	MHz
Pulse Width Low	tCLKL	0.4/fCLK			ns
Pulse Width High	tCLKH	0.4/fCLK			ns
LRCK for Input data (ILRCK)					
Frequency	fs	8		216	kHz
Duty Cycle Slave Mode	Duty	48	50	52	%
Master Mode	Duty		50		%
LRCK for Output data (OLRCK)					
Frequency	fs	8		216	kHz
Duty Cycle Slave Mode	Duty	48	50	52	%
Master Mode	Duty		50		%
Audio Interface Timing					
Input PORT (Slave mode)					
IBICK Period (8kHz ~ 108kHz)	tBCK	1/128fs			ns
(108kHz ~ 216kHz)	tBCK	1/64fs			ns
IBICK Pulse Width Low	tBCKL	27			ns
Pulse Width High	tBCKH	27			ns
ILRCK Edge to IBICK "↑" (Note 7)	tLRB	15			ns
IBICK "↑" to ILRCK Edge (Note 7)	tBLR	15			ns
SDTI Hold Time from IBICK "↑"	tSDH	15			ns
SDTI Setup Time to IBICK "↑"	tSDS	15			ns
Input PORT (Master mode)					
IBICK Frequency	fBCK		64fs		Hz
IBICK Duty	dBCK		50		%
IBICK "↓" to ILRCK	tMBLR	−20		20	ns
SDTI Hold Time from IBICK "↑"	tSDH	15			ns
SDTI Setup Time to IBICK "↑"	tSDS	15			ns
Output PORT (Slave mode)					
OBICK Period (8kHz ~ 108kHz)	tBCK	1/128fs			ns
(108kHz ~ 216kHz)	tBCK	1/64fs			ns
OBICK Pulse Width Low	tBCKL	27			ns
Pulse Width High	tBCKH	27			ns
OLRCK Edge to OBICK "↑" (Note 7)	tLRB	20			ns
OBICK "↑" to OLRCK Edge (Note 7)	tBLR	20			ns
OLRCK to SDTO (MSB) (Except I^2S mode)	tLRS			20	ns
OBICK "↓" to SDTO	tBSD			20	ns
Output PORT (Master mode)					
OBICK Frequency	fBCK		64fs		Hz
OBICK Duty	dBCK		50		%
OBICK "↓" to OLRCK	tMBLR	−20		20	ns
OBICK "↓" to SDTO	tBSD	−20		20	ns
Reset Timing					
PDN Pulse Width (Note 8)	tPD	150			ns

Note 7. この規格値はLRCKのエッジとBICKの"↑"が重ならないように規定しています。
Note 8. AK4125はPDN pin = "L"でリセットされます。

,, タイミング波形

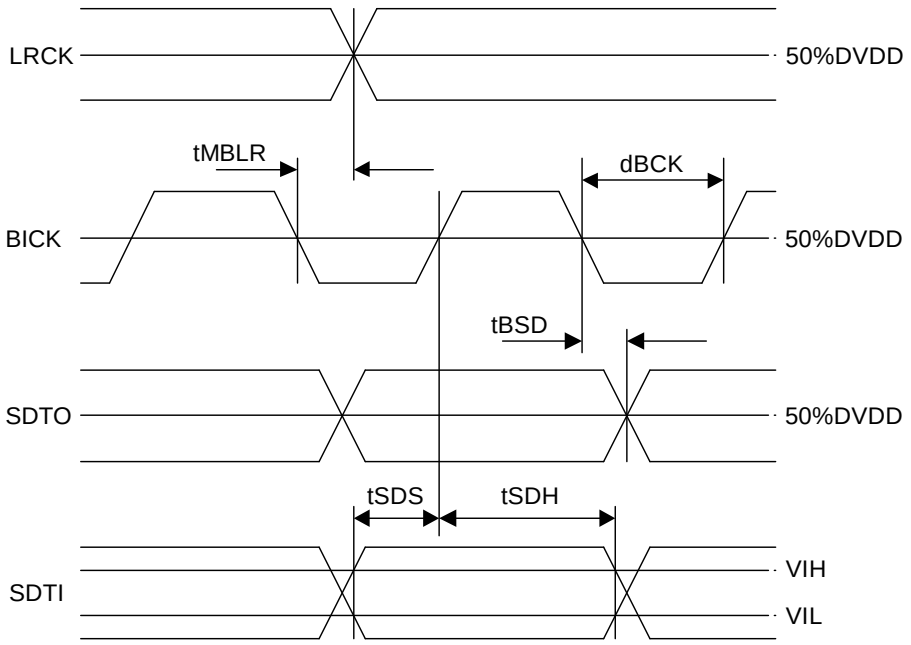


Clock Timing



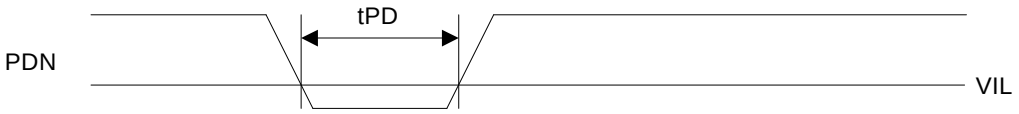
Audio Interface Timing (Slave mode)

Note : BICKはIBICK, OBICKを、LRCKはILRCK, OLRCKを表しています。



Audio Interface Timing (Master mode)

Note : BICKはIBICK, OBICKを、LRCKはILRCK, OLRCKを表しています。



Power Down & Reset Timing

動作説明

,, 入力ポートのシステムクロックとオーディオインタフェースフォーマット

入力ポートはマスタモード及びスレーブモードで動作可能です。スレーブモードの場合、内部動作用のクロックはILRCKから内蔵PLLにより生成されるモード(Table 2のMode 0 ~ 2)とIBICKから内蔵PLLにより生成されるモード(Table 2のMode 4 ~ 7)があります。マスタモードの場合、内部動作用のクロックはIMCLKを使用して生成されます(Table 2のMode 8 ~ 15)。スレーブモードの場合はMCLKを入力する必要はありません。マスタ/スレーブ及びPLLモードの選択はIDIF2-0 pin及びPLL2-0 pinにより行います。各ピンはPDN pin = “L”中に設定して下さい。

入力ポートのオーディオインタフェースフォーマットはIDIF2-0 pinで設定します。全モードともMSBファースト、2’sコンプリメントのデータフォーマットで、SDTIはIBICKの立ち上がりでラッチされます。オーディオインタフェースフォーマットの変更はPDN pin = “L”中に設定して下さい。バイパスモード時は、IBICK=OBICK=64fs固定です。

Mode	IDIF2	IDIF1	IDIF0	SDTI Format	ILRCK	IBICK	IBICK Freq	Master / Slave
0	L	L	L	16bit, LSB justified	Input	Input	≥ 32fsi	Slave
1	L	L	H	20bit, LSB justified			≥ 40fsi	
2	L	H	L	24/20bit, MSB justified			≥ 48fsi	
3	L	H	H	24/16bit, I^2S Compatible			≥ 48fsi or 32fsi	
4	H	L	L	24bit, LSB justified			≥ 48fsi	
5	H	L	H	24bit, MSB justified	Output	Output	64fsi	Master
6	H	H	L	24bit, I^2S Compatible			64fsi	
7	H	H	H	Reserved				

Table 1. Input Audio Interface Format (Input PORT)

Mode	Master / Slave	PLL2	PLL1	PLL0	ILRCK Freq	IBICK Freq	IMCLK	SMUTE (Note 5)
0	Slave IMCLK = DVSS IBICK = Input ILRCK = Input	L	L	L	8k ~ 96kHz	Depending on IDIF2-0	Not needed. (Note 4)	Manual
1		L	L	H	8k ~ 216kHz 16k ~ 216kHz (Note 1)			
2		L	H	L				Semi-Auto
3		L	H	H	Reserved			
4		H	L	L	8k ~ 216kHz (Note 2)	32fsi (Note 3)	Not needed. (Note 4)	Manual
5		H	L	H		64fsi		
6		H	H	L		128fsi		
7		H	H	H		64fsi		Semi-Auto
8	Master IMCLK = Input IBICK = Output ILRCK = Output	L	L	L	8k ~ 216kHz	64fsi	128fsi	Manual
9		L	L	H	8k ~ 108kHz		256fsi	
10		L	H	L	8k ~ 54kHz		512fsi	
11		L	H	H	8k ~ 216kHz		128fsi	Semi-Auto
12		H	L	L	8k ~ 216kHz		192fsi	Manual
13		H	L	H	8k ~ 108kHz		384fsi	
14		H	H	L	8k ~ 54kHz		768fsi	
15		H	H	H	8k ~ 216kHz		192fsi	Semi-Auto

Table 2. PLL Setting (Input PORT)

Note 1. FILT pinに接続されるRとCの値により、PLLのロックレンジが変わります。詳細は「PLL用ループフィルタ」の項を参照して下さい。
Note 2. IBICKは、クロック切替時以外は常に連続して供給して下さい。
Note 3. IBICK = 32fsiは16bit LSB justifiedと16bit I^2S Compatibleのみ対応します。
Note 4. DVSSに固定して下さい。
Note 5. SMUTEのManualモードとSemi-Autoモードについては「ソフトミュート機能」の項を参照して下さい。

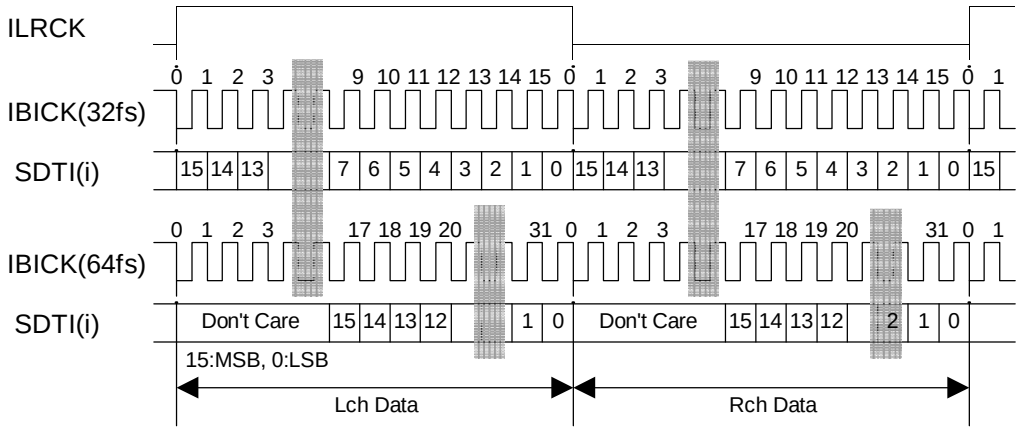


Figure 1. Mode 0 Timing

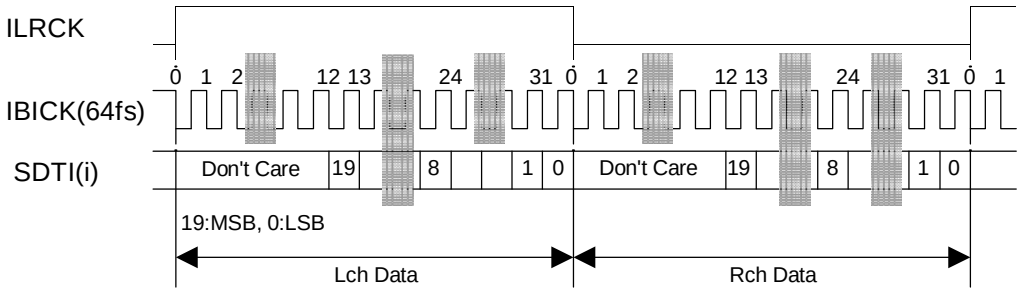


Figure 2. Mode 1 Timing

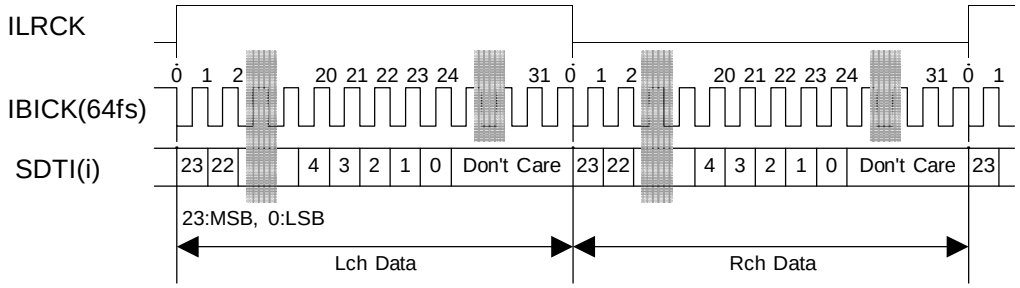


Figure 3. Mode 2, 5 Timing (24bit MSB)

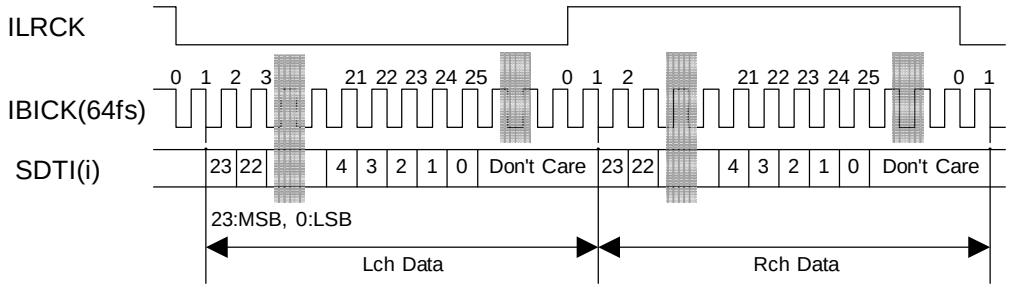


Figure 4. Mode 3, 6 Timing (24bit I^2S)

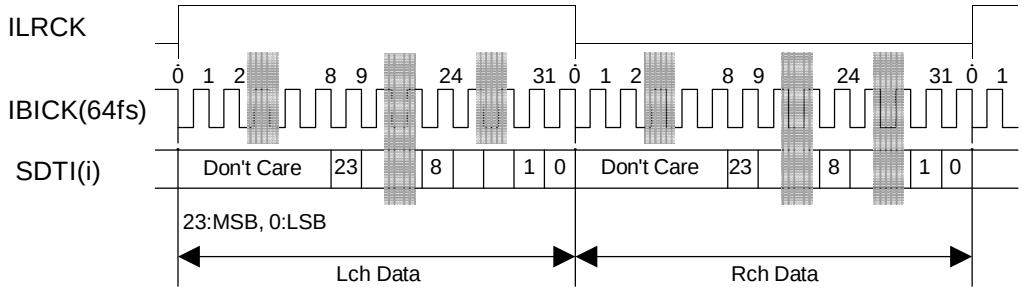


Figure 5. Mode 4 Timing

,, 出力ポートのシステムクロックとオーディオインタフェースフォーマット

出力ポートはマスタモード及びスレーブモードで動作可能です。スレーブモードの場合はMCLKを入力する必要はありません。マスタ/スレーブ及びSRCバイパスモードの選択はCMODE2-0 pinにより行います。各ピンはPDN pin = “L”中に設定して下さい。

出力ポートのオーディオインタフェースフォーマットはODIF1-0 pin、OBIT1-0 pinにて設定します。全モードともMSBファースト、2’sコンプリメントのデータフォーマットで、SDTOはOBICKの立ち下がりで出力されます。オーディオインタフェースフォーマットの変更はPDN pin = “L”中に設定して下さい。バイパスモード時は、IBICK=OBICK=64fs固定です。

Mode	CMODE2	CMODE1	CMODE0	Master / Slave	OMCLK	fso
0	L	L	L	Master	256fso	8k ~ 108kHz
1	L	L	H	Master	384fso	8k ~ 108kHz
2	L	H	L	Master	512fso	8k ~ 54kHz
3	L	H	H	Master	768fso	8k ~ 54kHz
4	H	L	L	Slave	Not used. Set to DVSS.	8k ~ 216kHz
5	H	L	H	Master	128fso	8k ~ 216kHz
6	H	H	L	Master	192fso	8k ~ 216kHz
7	H	H	H	Master (Bypass)	Not used. Set to DVSS.	8k ~ 216kHz

Table 3. Master/Slave Control (Output PORT)

Mode	ODIF1	ODIF0	SDTO Format
0	L	L	LSB justified
1	L	H	(Reserved)
2	H	L	MSB justified
3	H	H	I^2S Compatible

Table 4. Output Audio Interface Format 1 (Output PORT)

Mode	Master / Slave	OBIT1	OBIT0	SDTO	OLRCK	OBICK	OBICK Frequency	
							MSB justified, I^2S	LSB justified
0	Slave CMODE2-0 = “HLL”	L	L	16bit	Input	Input	≥ 32fso	64fso
1		L	H	18bit			≥ 36fso	
2		H	L	20bit			≥ 40fso	
3		H	H	24bit			≥ 48fso	
4	Master CMODE2-0 = “HLL”以外	L	L	16bit	Output	Output	64fso	
5		L	H	18bit				
6		H	L	20bit				
7		H	H	24bit				

Table 5. Output Audio Interface Format 2 (Output PORT)

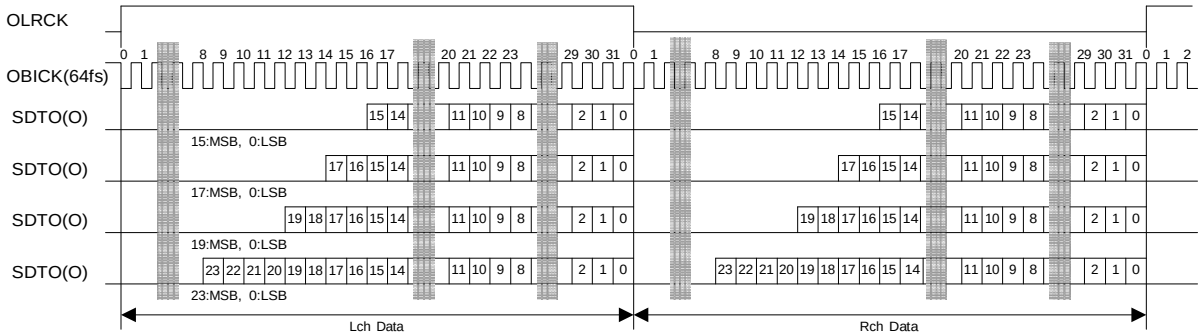


Figure 6. LSB Timing

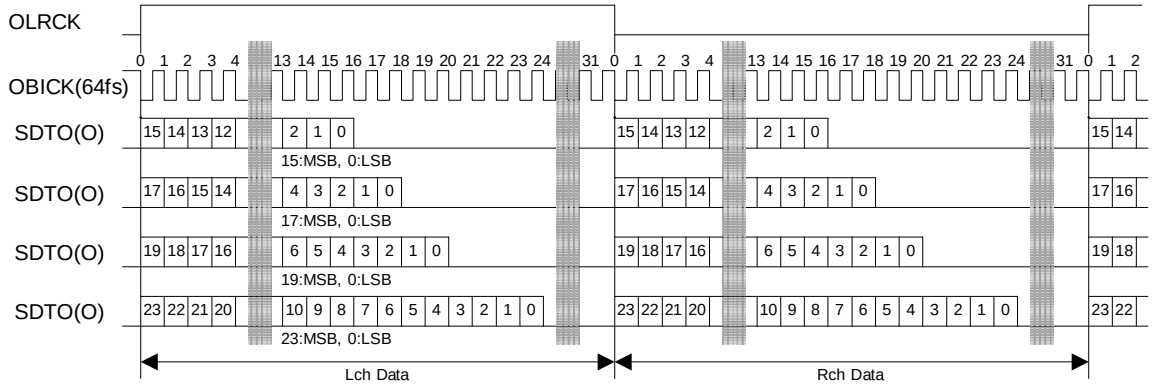


Figure 7. MSB Timing

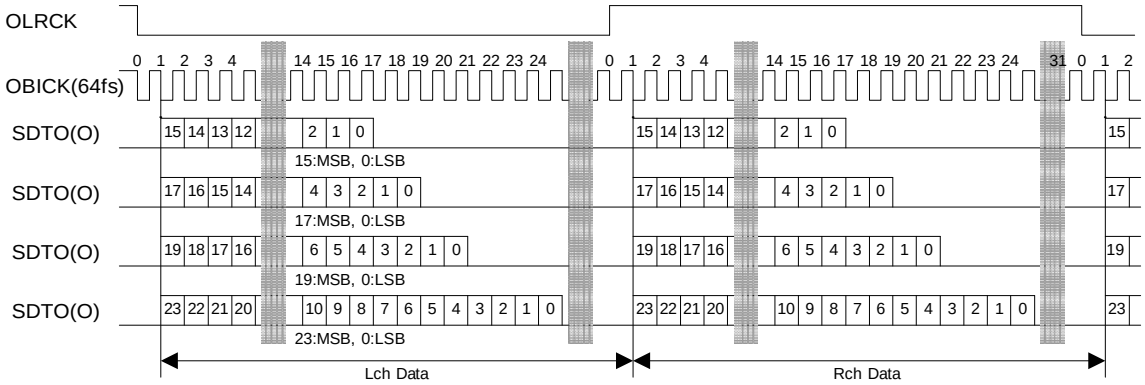


Figure 8. I^2S Compatible Timing

,, ソフトミュート機能

1. Manualモード

SRC出力のディジタル部にソフトミュート機能を内蔵します。ソフトミュートはSMUTE pinでコントロールできます。SMUTE pinを“H”にすると1024OLRCKサイクルでSRC出力のデータが−∞ (“0”)までアテネーションされます。SMUTE pinを“L”にすると−∞状態が解除され、−∞から1024OLRCKサイクルで0dBまで復帰します。ソフトミュート開始後、1024OLRCKサイクル以内に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。

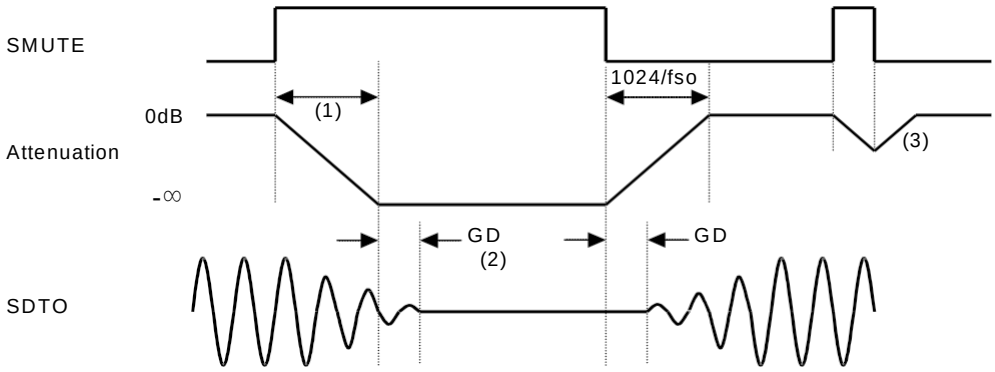


Figure 9. Soft Mute Function (Manual Mode)

(1) 1024OLRCKサイクル(1024/fso)で出力データが−∞ (“0”)までアテネーションされます。
(2) ディジタル入力に対するディジタル出力は群遅延(GD)をもちます。
(3) 1024OLRCKサイクル以内にソフトミュートが解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。

2. Semi-Autoモード

PLL2-0 pinの設定(Table 2参照)により、パワーダウン解除(PDN pin = “L” → “H”)の立ち上がりエッジを検出して、4410/fso=100ms@fso=44.1kHz間ミュートを継続した後、ソフトミュートを自動で解除します。パワーダウンピン解除後、SMUTE pinが“H”の場合にはソフトミュートがかかった状態になります。

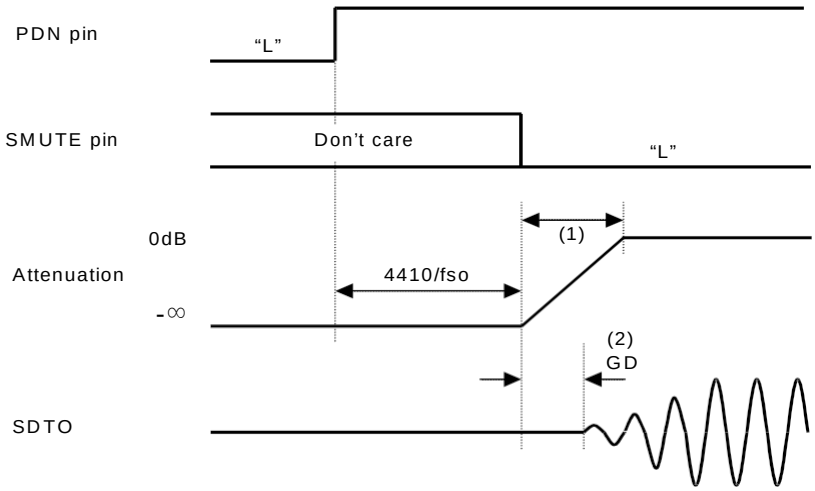


Figure 10. Soft Mute Function (Semi-Auto Mode)

(1) 1024OLRCKサイクル(1024/fso)で出力データが0dBまで復帰します。
(2) ディジタル入力に対するディジタル出力は群遅延(GD)をもちます。

,, ディザ回路

AK4125はディザ回路を内蔵しています。ディザ回路はSRCモード、SRCバイパスモードに関係なく、DITHER pinを“H”にすることで、OBIT1-0 pinで設定された出力データの最下位ビットにディザを加えます。

,, システムリセット

AK4125はPDN　pinを“L”にすることでパワーダウンでき、この時、同時に各ディジタルフィルタがリセットされます。PDN pin = “L”時にはSDTO出力は“L”です。電源投入時にはPDN pinに一度“L”を入力してリセットして下さい。クロック投入後のリセット解除よりデータ出力が可能となる時間は100msです。それまでの間、“L” を出力します。

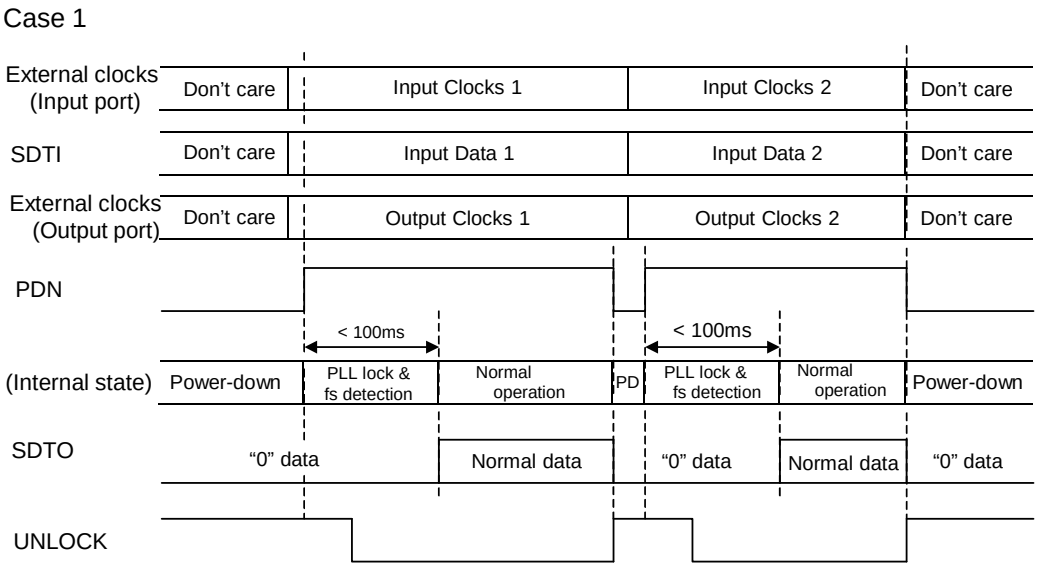


Figure 11. System Reset 1

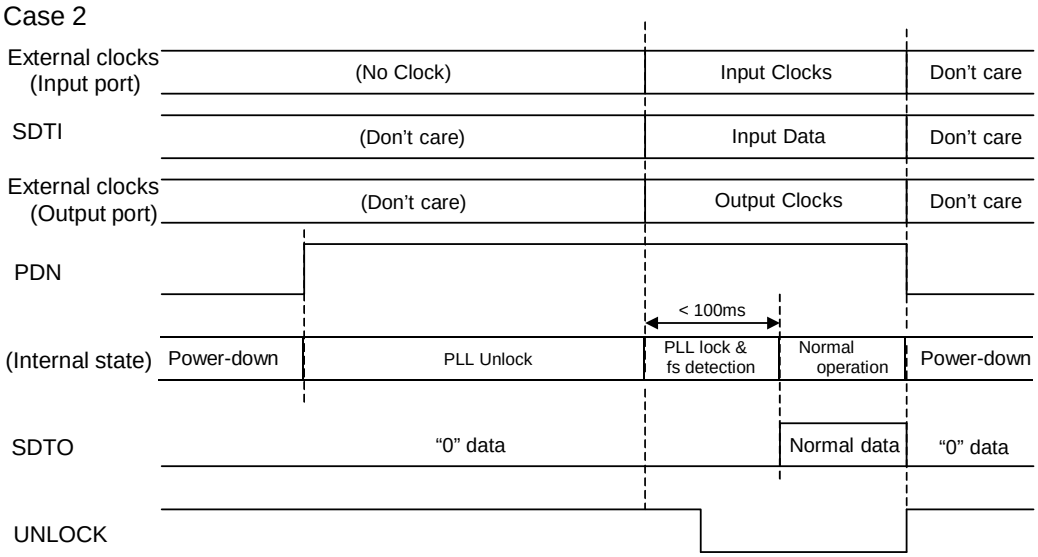


Figure 12. System Reset 2

,, クロック切り替えの手順

AK4125へ供給するクロックの切り替え手順をFigure 13に示します。二つの周波数間で位相変化なしに徐々に周波数が移り変わる場合、及びfso/fsi > 4を保った状態で出力側のクロックを切り替えると、自動リセットが行われずクロック切り替えから正常なデータ出力まで100ms以上かかる可能性があります。100ms以内に収めたい場合はPDN pinでリセットして下さい(Figure 13参照)。

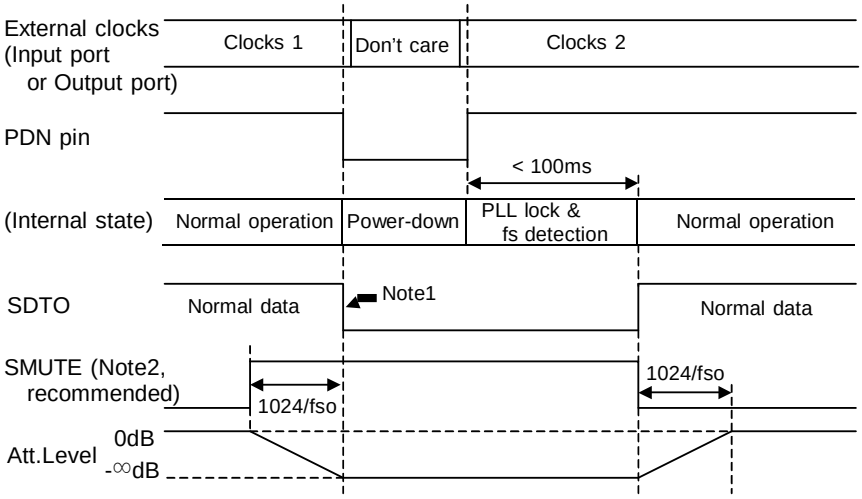


Figure 13. Sequence of changing clocks

Note 1. この時出力データは異音となる可能性があります。PDN pinを"L"にするよりGD以上前から SDTIに"0"データが入力されていれば、この間も"0"データ出力となります。

Note 2. Note 1の異音をSMUTEで除去することができます。

,, アンロックピン

AK4125の内部PLLがロックしている場合にはUNOCK pinは"L"を出力します。内部PLLがアンロックの場合は、UNLOCK pinは"H"を出力します。パワーダウン状態(PDN pin = "L")の時も"H"を出力します。

,, PLL用ループフィルタ

FILT　pinには、抵抗(R)とコンデンサ(C1)を直列に接続したものと、コンデンサ(C2)を並列にAVSSに対して接続します(Figure 14, Table 6, 7参照)。FILT pinにはノイズがのらないよう注意してください。IBICKにロックをかけるモードでは、外付け素子の値はIBICK入力周波数には依存しません。

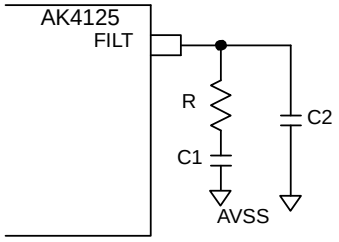


Figure 14. PLL Loop Filter

[入力ポートがスレーブモードの場合]

1. ILRCKにPLLのロックをかける場合

PLL2	PLL1	PLL0	ILRCK	R [Ω]	C1 [μF]	C2 [nF]
L	L	L	8k ~ 96kHz	1.8k ± 5%	0.68 ± 30%	0.68 ± 30%
L	L	H	8k ~ 216kHz	1k ± 5%	1.0 ± 30%	2.2 ± 30%
			16k ~ 216kHz	1.5k ± 5%	0.68 ± 30%	0.68 ± 30%
L	H	L	8k ~ 216kHz	1k ± 5%	1.0 ± 30%	2.2 ± 30%
			16k ~ 216kHz	1.5k ± 5%	0.68 ± 30%	0.68 ± 30%

Table 6. PLL Loop Filter (ILRCK Mode)

- Note. 16kHz ~ 216kHzのモードでは、コンデンサ(C1, C2)の容量を小さくすることができます。

2. IBICKにPLLのロックをかける場合

PLL2	PLL1	PLL0	ILRCK	R [Ω]	C1 [μF]	C2 [nF]
H	*	*	8k ~ 216kHz	470 ± 5%	0.22 ± 30%	1.0 ± 30%

Table 7. PLL Loop Filter (IBICK Mode, *: Don't care)

Note. IBICKは、クロック切替時以外は常に連続して供給して下さい。
Note. IBICK = 32fsiは16bit LSB justifiedと16bit I^2S Compatibleのみ対応します。

[入力ポートがマスタモードの場合]

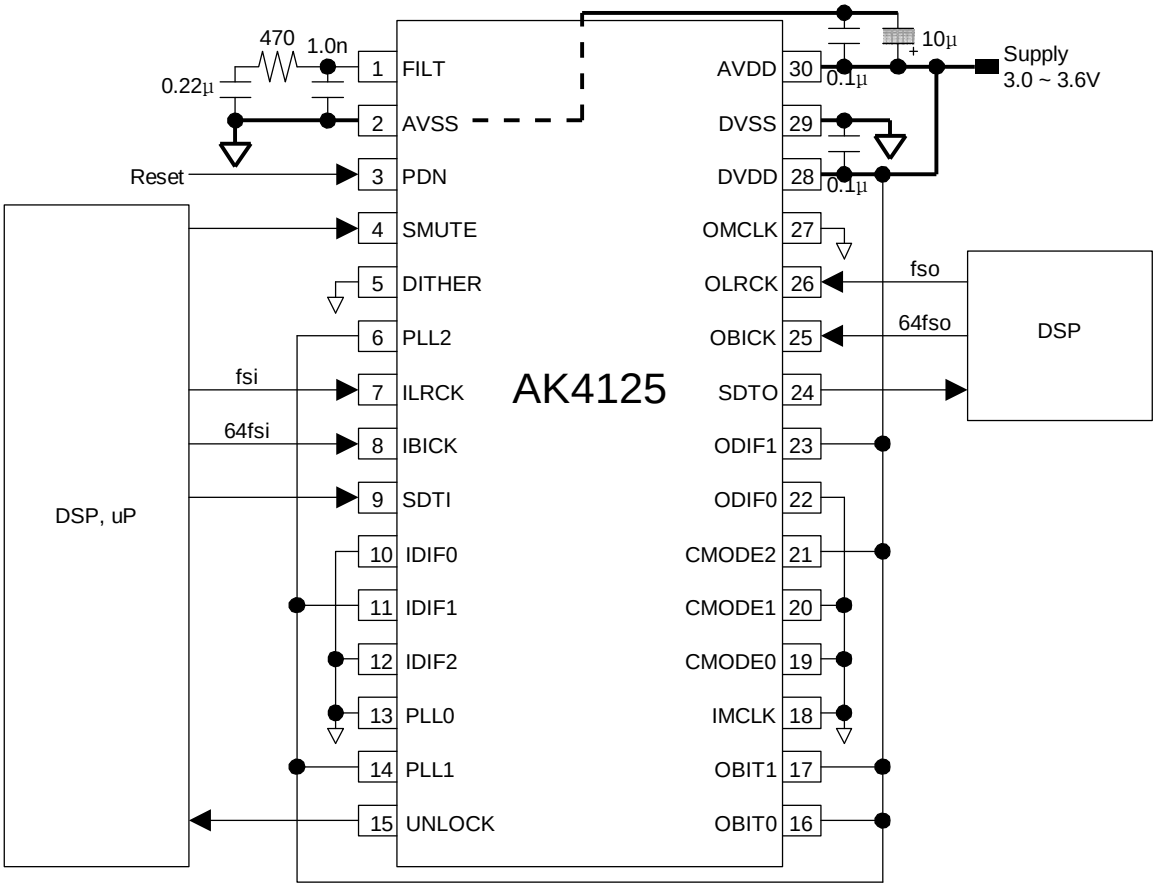
1. IMCLKを256fs, 384fs, 512fs, 768fsで使用する場合は、外付け素子は必要ありません。

2. IMCLKを128fsまたは192fsで使用する場合は、Table 7の外付け素子が必要になります。

システム設計

Figure 15, 16はシステム接続例です。具体的な回路と測定例については評価ボード(AKD4125)を参照して下さい。

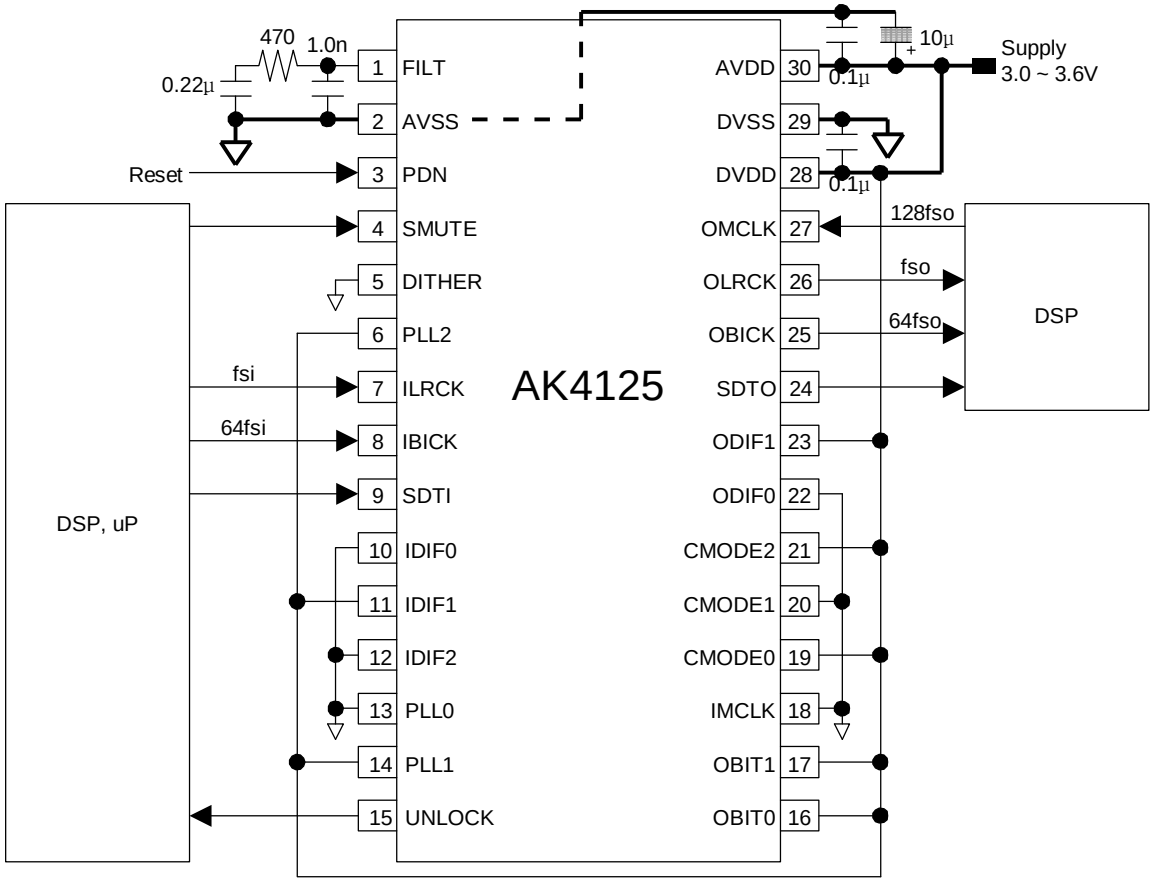
- Input PORT : Slave Mode, IBICK lock mode (64fsi), 24bit MSB justified
- Output PORT : Slave mode, 24bit MSB justified
- Dither = OFF



注:
- AK4125のAVSS, DVSSと周辺コントローラ等のグランドは分けて配線して下さい。
- ディジタル入力ピンはオープンにしないで下さい。

Figure 15. Typical Connection Diagram (Slave mode)

- Input PORT : Slave Mode, IBICK lock mode (64fsi), 24bit MSB justified
- Output PORT : Master mode, 24bit MSB justified
- Dither = OFF



注:
- AK4125のAVSS, DVSSと周辺コントローラ等のグランドは分けて配線して下さい。
- ディジタル入力ピンはオープンにしないで下さい。

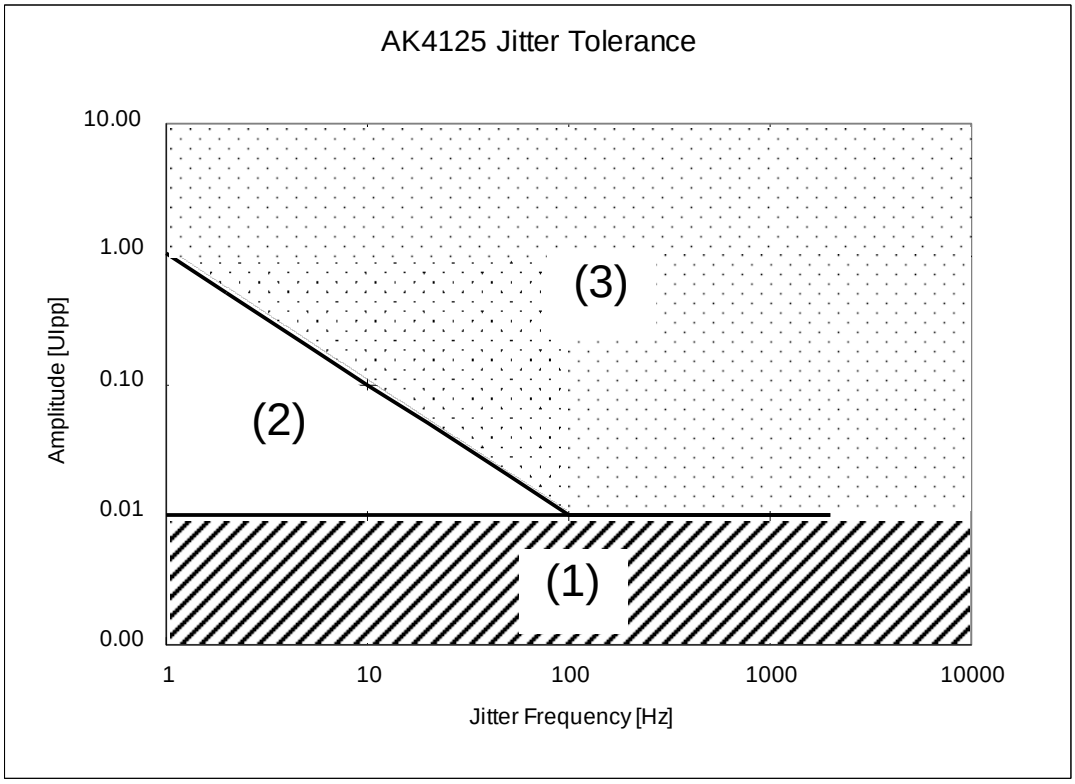
Figure 16. Typical Connection Diagram (Master mode)

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。AVDD, DVDDが別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。AVSSとDVSSは同じアナロググランドに接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. ジッタ耐量

AK4125のIBICK及びILRCKに対するジッタ耐量をFigure 17に示します。ジッタ量はFigure 17に示されるようにジッタ周波数とジッタ強度で定義され、0.01UIpp以下のジッタ強度であれば周波数に関わらず正常に動作します。



(1) 正常に動作可能
(2) 歪みが劣化する可能性あり(−50dB程度まで劣化する)
(3) 出力データが欠落する可能性あり

注：
- PLL2-0 = “L/L/L”, “L/L/H”, “L/H/L”の時には、ILRCK上のジッタが対象となり、1UI (Unit Interval)はILRCKの1周期です。FSI = 48kHzの時には1UIは1/48kHz = 20.8μsになります。
- PLL2-0 = “H/*/*” (*はDon’t care)の時には、IBCK上のジッタが対象となり、1UIはIBICKの1周期です。FSI = 48kHzの時には1UIは1/(64 x 48kHz) = 326nsになります。

Figure 17. Jitter Tolerance

,, 入力サンプリング周波数変化への追従性

ILRCKが外部PLLで生成される場合、外部PLLの周波数変化への応答が遅いため、入力サンプリング周波数(FSI)変更後の収束に時間がかかる場合があります。AK4125は23%/secのスピードまで正常に動作します。23%/secのスピードを超えた場合には出力データが異常になります。

3. ディジタルフィルタ特性例

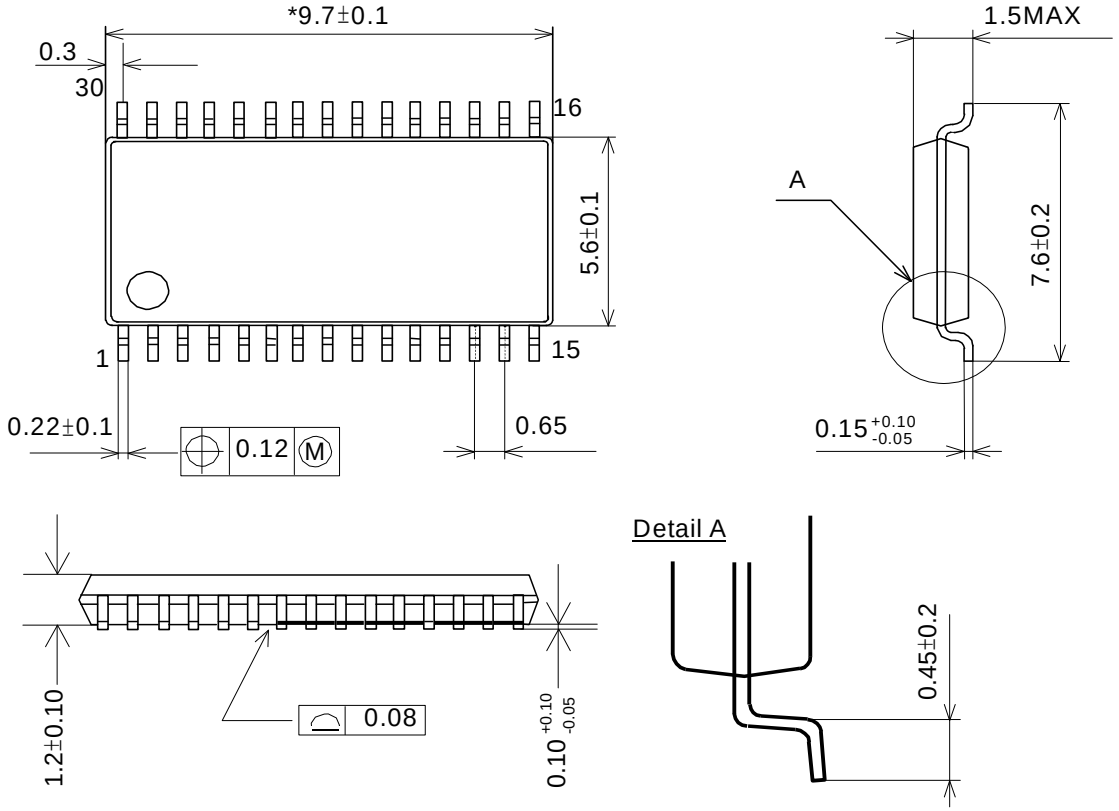
AK4125で実現されるディジタルフィルタ特性の例をTable 8に示します。

Ratio	FSO/FSI [kHz]	Passband [kHz]	Stopband [kHz]	Stopband Attenuation [dB]	Gain [dB]
4.000	192/48.0	22.000	26.000	−121.2	−0.01@ 20k
1.000	48.0/48.0	22.000	26.000	−121.2	−0.01@ 20k
0.919	44.1/48.0	20.000	24.100	−121.4	−0.01@ 20k
0.725	32.0/44.1	14.088	17.487	−115.3	−0.01@ 14.5k
0.667	32.0/48.0	13.688	17.488	−116.9	−0.19@ 14.5k
0.544	48.0/88.2	19.250	26.232	−114.6	−0.03@ 20k
0.500	48.0/96.0	20.900	27.000	−100.2	−0.01@ 20k
0.500	44.1/88.2	19.202	24.806	−100.2	−0.08@ 20k
0.459	44.1/96.0	18.700	25.000	−103.3	−0.23@ 20k
0.363	32.0/88.2	12.863	18.665	−102.0	−0.75@ 14.5k
0.333	32.0/96.0	12.500	18.900	−103.6	−1.07@ 14.5k
0.250	48.0/192.0	17.600	30.200	−104.0	−0.18@ 20k
0.250	44.1/176.4	16.170	27.746	−104.0	−1.34@ 20k
0.230	44.1/192.0	15.860	28.240	−103.3	−1.40@ 20k
0.167	32.0/192.0	11.200	19.600	−73.2	−2.97@ 14.5k
0.181	32.0/176.4	10.278	17.987	−73.2	−7.88@ 14.5k
0.167	8/48.0	2.800	4.900	−73.2	−2.97@ 3.625k
0.181	8/44.1	2.5695	4.4968	−73.2	−7.88@ 3.625k

Table 8. Digital Filter Example

パッケージ

30pin VSOP (Unit: mm)

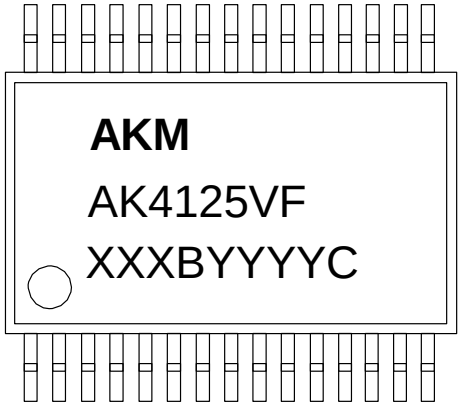


NOTE: Dimension "*" does not include mold flash.

,, Material & Lead finish

Package molding compound:	Epoxy
Lead frame material:	Cu
Lead frame surface treatment:	Solder (Pb free) plate

マーキング



XXXBYYYYC Date code identifier

XXXB :Lot number (X : Digit number, B : Alpha character)
YYYYC : Assembly date (Y : Digit number, C : Alpha character)

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
05/01/05	00	初版		
05/05/10	01	コメント追加	22	IBICKに関する注追加。

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。